



IC 佈局設計能力鑑定 題庫及參考解答

著作權所有，非經同意，不得翻印轉載

學科題庫

選擇題-共 50 題

術科考古題庫

佈局題-共 1 題

DRC 除錯題-共 1 題

LVS 除錯題-共 1 題

考試注意事項：

■ 測驗內容：(詳細內容依簡章公告為主)

科目	鑑定主題	鑑定內容
初階學科筆試	<p>共計選擇題 50 題。 每題 2 分，答錯不倒扣， 滿分 100 分。 初階考試需達 70 分 以上為合格。</p>	<p>1. VLSI Fundamental 2. Layout Skill 3. Verification 4. Unix/Linux Fundamental</p>
初階術科實作	<p>分為佈局題 1 題與除錯題 2 題(包含 DRC, LVS 除錯題各 1 題) ，</p> <p>佈局題 70 分：僅合格 (PASS)- 70 分計，不合格 (FAILURE)- 0 分計。</p> <p>除錯題 2 題，每題 15 分，總計 30 分。</p> <p>滿分 100 分。需達 70 分 以上為合格。</p>	<p>佈局題：考生需在術科考試時間內全數完成以下 4 項條件即為合格；若有 1 項以上(或多項)未達成標準則為不合格。 佈局題評分四項條件為： (A) 佈局面積：符合題目所要求之面積條件 (B) 佈局長寬比：符合題目所規範之長寬比例條件 (C) DRC 驗證完成且完全無誤 (D) LVS 驗證完成且完全無誤</p> <p>除錯題：考生需在術科考試時間內，按題目之描述將已知的佈局檔匯入，並將各題佈局檔的 DRC、LVS 錯誤找出進行修正，最後完成驗證，再分別匯出 DRC, LVS 正確無誤之佈局檔與相關驗證結果。除錯題以解決原始題目的 DRC、LVS 錯誤為主，若考生因解決題目錯誤而額外產生其他 DRC 或 LVS 錯誤，將按照額外產生的錯誤數量進行扣分(每多一個額外錯誤扣 1 分)，僅扣至該題 0 分為止。</p>

科目	鑑定主題	鑑定內容
進階學科筆試	共計選擇題 50 題。 每題 2 分，答錯不倒扣， 滿分 100 分。 進階考試須達 85 分 以上為合格。	1. VLSI Fundamental 2. Layout Skill 3. Verification 4. Unix/Linux Fundamental
進階術科實作	分為基本佈局題 1 題、 佈局技巧 2 題、DRC 除錯題 1 題、LVS 除錯 1 題 佈局題 40 分：僅合格 (PASS)- 40 分計，不合格 (FAILURE)- 0 分計。 佈局技巧 2 題，每題 15 分，總計 30 分。 除錯題 2 題，每題 15 分，總計 30 分。 滿分 100 分。需達 70 分以上為合格。	佈局題：考生需在術科考試時間內全數完成以下 4 項條件即為合格；若有 1 項以上(或多項)未達成標準則為不合格。 佈局題評分四項條件為： (A) 佈局面積：符合題目所要求之面積條件 (B) 佈局長寬比：符合題目所規範之長寬比例條件 (C) DRC 驗證完成且完全無誤 (D) LVS 驗證完成且完全無誤 佈局技巧題：為依題目要求描述進行佈局，如電容陣列、電阻陣列、DUMMY 電容、DUMMY 電阻、DUMMY 電晶體、差動對 MOS (Differential Pair)佈局匹配…等。 除錯題：考生需在術科考試時間內，按題目之描述將已知的佈局檔匯入，並將各題佈局檔的 DRC、LVS 錯誤找出進行修正，最後完成驗證，再分別匯出 DRC, LVS 正確無誤之佈局檔與相關驗證結果。除錯題以解決原始題目的 DRC、LVS 錯誤為主，若考生因解決題目錯誤而額外產生其他 DRC 或 LVS 錯誤，將按照額外產生的錯誤數量進行扣分(每多一個額外錯誤扣 1 分)，僅扣至該題 0 分為止。

術科實作，考試注意事項與常見問題：

注意事項：

1. 製程資料(TSRI Virtual 0.18um CMOS Technology)，不提供 PDK Library, P-cell, M-cell,等功能，所有元件(device)，包含電晶體、電阻、電容等均需自行繪製。
2. 佈局題考試時，考題不僅限於繪製電晶體元件，可能包含製程資料(TSRI Virtual 0.18um CMOS Technology)所提供之電容、各類電阻等元件，請於考前自行練習相關元件佈局繪製方式。
3. 佈局軟體僅提供 Virtuoso 或 Laker。
4. 術科佈局題考試時，考生最後須將佈局(Layout)匯出(Stream-out)成為 GDS 檔案。
5. 術科除錯題考試時，考生需將考題之 GDS 檔案，匯入(Stream-in)佈局軟體內。
6. 術科考試時，需自行於 Terminal 視窗以指令方式開啟佈局軟體。
7. 登入工作站後，目錄結構說明如下：

```
~/ANS/ANS_Layout      ---- 請考生存放佈局題結果
  /ANS_DRC_debug      ---- 請考生存放 DRC 除錯題結果
  /ANS_LVS_debug      ---- 請考生存放 LVS 除錯題結果
~/Exam/Layout_netlist ---- 放置佈局題 Netlist 檔， 可供 LVS 驗證使用
  /DRC_debug          ---- 放置 DRC 除錯題佈局檔(GDS file)與相關檔案
  /LVS_debug          ---- 放置 LVS 除錯題佈局檔(GDS file)與相關檔案
~/Techfile/Calibre_DRC --- 放置 DRC 驗證檔(DRC rule deck)
  /Calibre_LVS        --- 放置 LVS 驗證檔(LVS rule deck)
  /Doc                --- 放置 IC 佈局設計規範(Design Rules)等相關文件 PDF 檔
  /Laker              --- 放置 Laker Technology File
  /Virtuoso           --- 放置 TSRI Library, Display File, cds.lib 檔
```

常見問題：

問題 1：我的佈局題完成後，要如何將佈局(Layout)匯出(Stream-out)成

GDS 檔案？

答：依照不同佈局軟體說明如下：

(1)使用 Virtuoso:

如下圖 1.1 為已完成的佈局(Layout),其 Library: Example, Cell: iclayout, View: layout

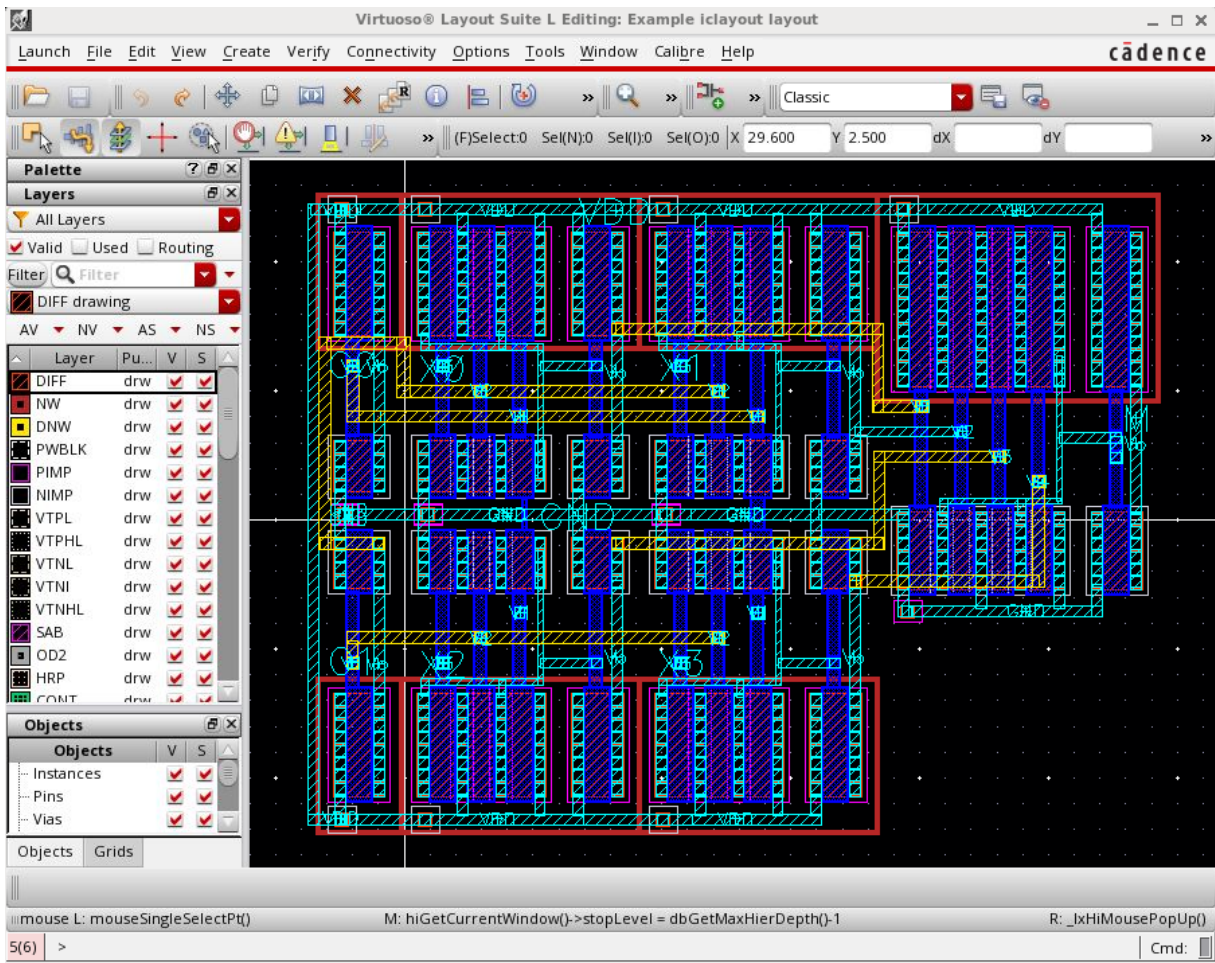


圖 1.1、已完成之佈局

請在 CIW 視窗，點選 File > Export > Stream... (如圖 1.2 所示)

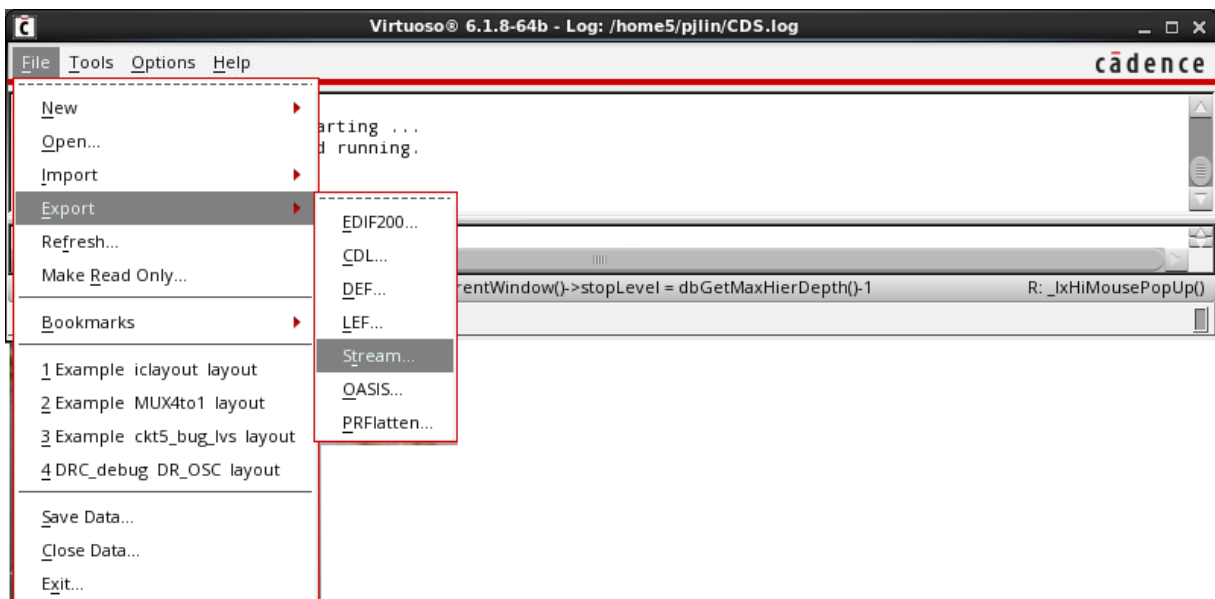


圖 1.2

出現 XStream Out 視窗，在 “Library” 點選視窗 Browse...，帶入想要匯出的佈局。接著在 “Stream File” 填寫 GDS 的檔名(如 iclayout.gds)，Layer Map 會依選定的 Library 自動帶入，最後，點選 Translate 即可。(如圖 1.3 所示)

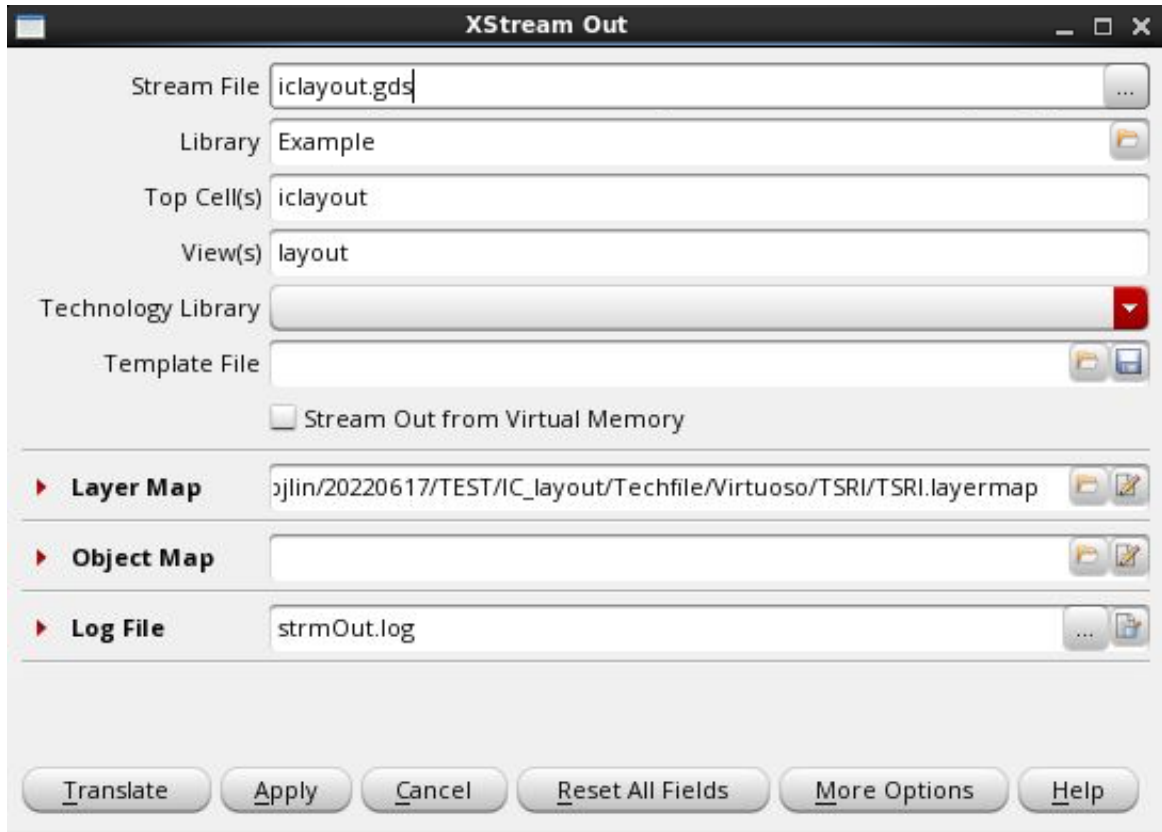


圖 1.3

匯出完成後，Virtuoso 會彈出訊息視窗(如圖 1.4 所示)，如看見圖示!!且無發生 error，表示成功匯出 GDS 檔案，也可查閱 strmOut.log 記錄檔，確認訊息。

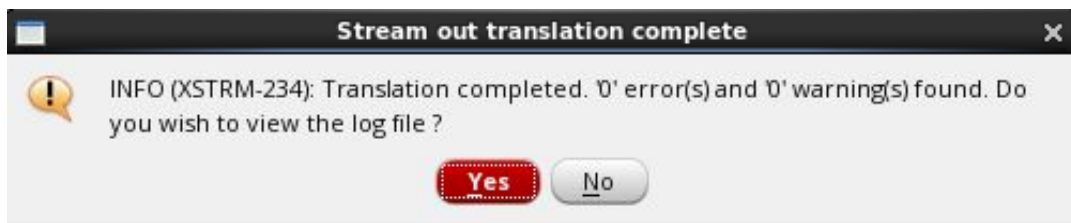


圖 1.4

註：匯出之 GDS 檔案(如 iclayout.gds)會存放在開啟 Virtuoso 的目錄下。

(2)使用 Laker:

如下圖 1.5 為已完成的佈局(Layout),其 Library: Example, Cell: iclayout, View: layout

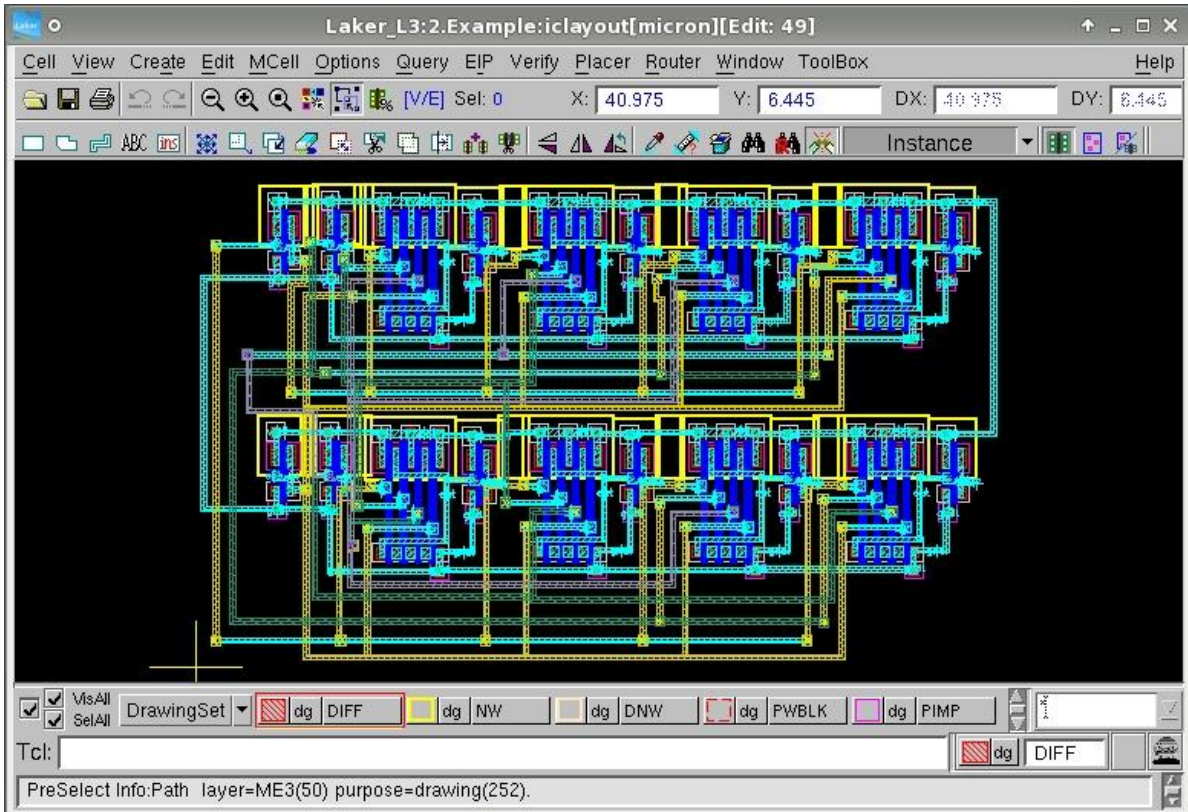


圖 1.5、已完成之佈局

請在 Laker 主視窗(Main Window)，點選 File > Export > Stream (如圖 1.6 所示)

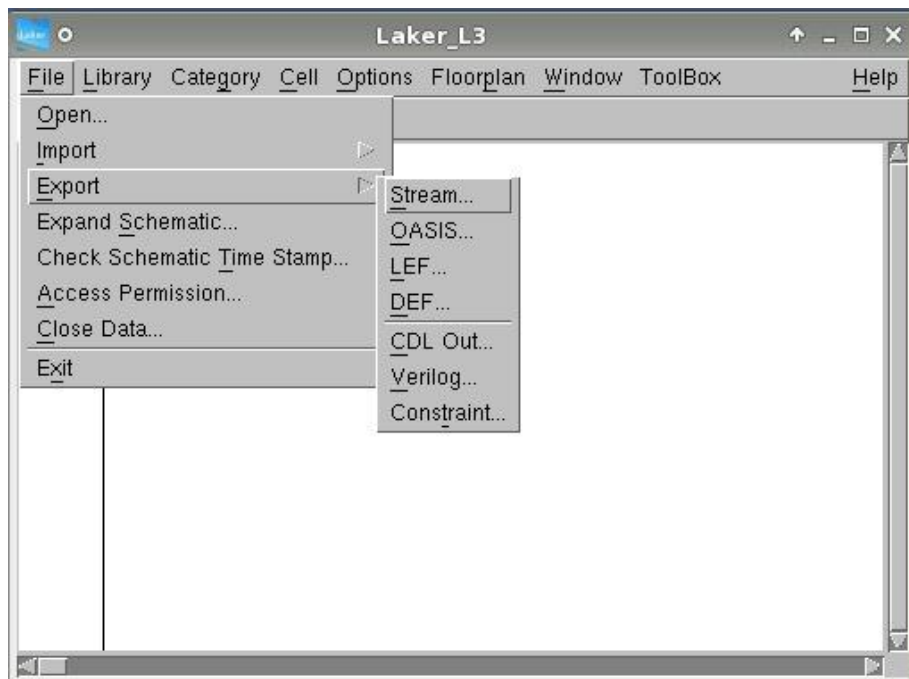


圖 1.6

出現 Export Stream 視窗，請選擇想要匯出的 Library Name，與 Top Cell Name，接著在“Output File”填寫 GDS 的檔名(如 iclayout.gds)，最後，點選 OK 即可。(如圖 1.7 所示)

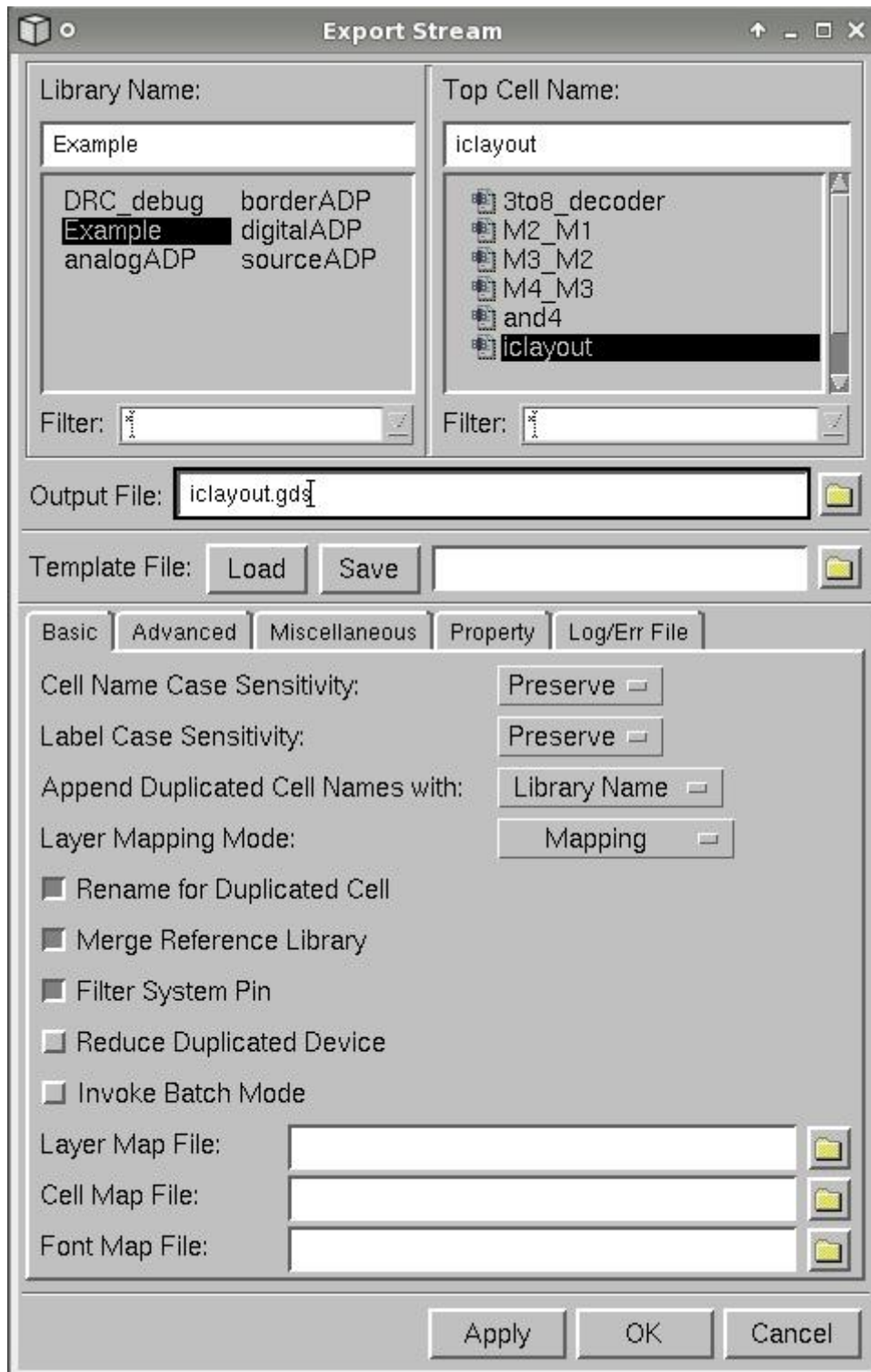


圖 1.7

匯出完成後，可在 Laker 主視窗看見訊息，表示成功匯出 GDS 檔案。(如圖 1.8)

註：匯出之 GDS 檔案(如 iclayout.gds)會存放在開啟 Laker 的目錄下。

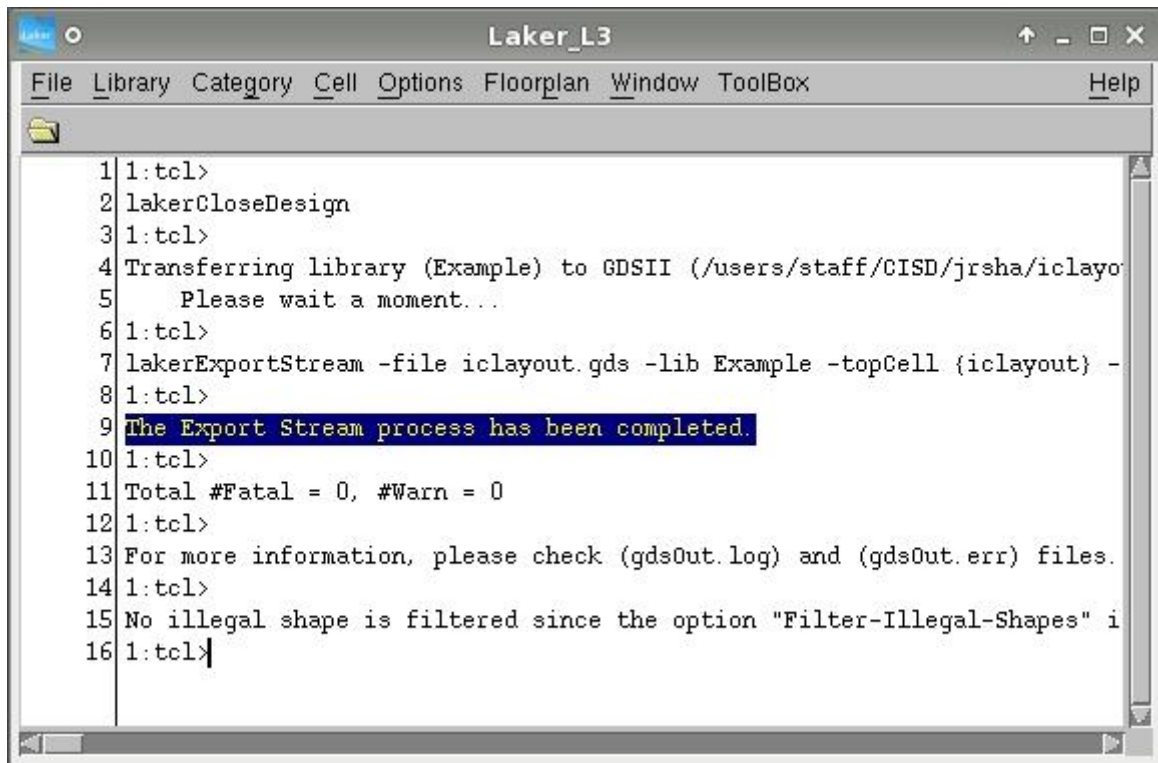


圖 1.8

問題 2：我該如何匯入(Stream-in)除錯題的 GDS 檔案？

答：以 DRC 除錯題之佈局檔(DR_OSC_bug_drc.gds)舉例說明，並依照使用不同佈局軟體，說明如下：

(1)使用 Virtuoso:

首先開啟 Virtuoso 佈局軟體(可在 Terminal 視窗，/Techfile/Virtuoso 資料夾下，執行指令 virtuoso &)，並在 CIW 視窗，點選 File > Import > Stream... (如圖 2.1 所示)

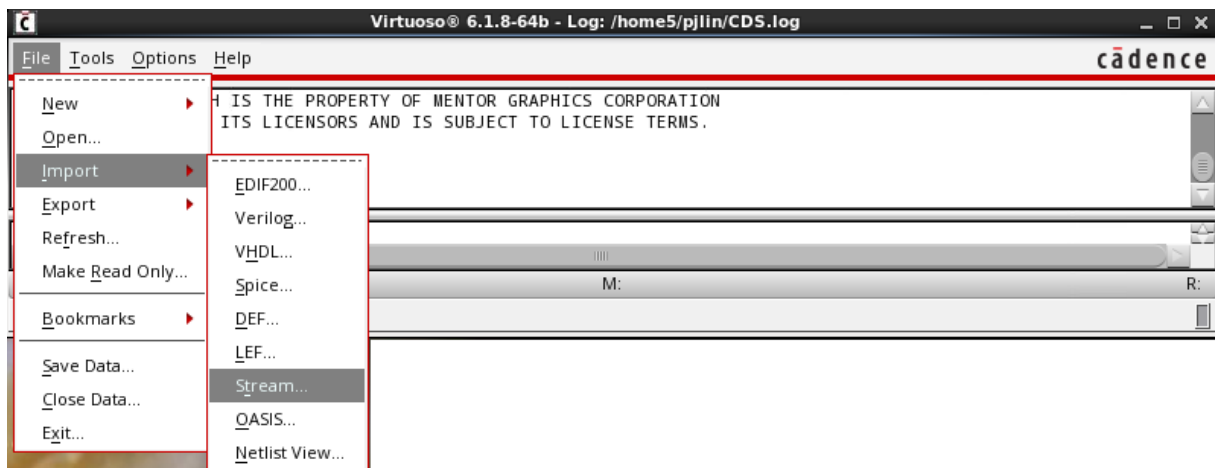


圖 2.1

出現 XStream In 視窗，在 “Stream File” 點選視窗 Browse... ，帶入想要匯入的 GDS 檔案(如 DR_OSC_bug_drc.gds)。接著填寫命名 “Library” (如 DRC_debug)，於 Technology 類別，在 “Attach Tech Library”，選擇 TSRI Library，與 TSRI Library 共用 TF，Layer Map 即會自動帶出。最後，點選 Translate 即可。(如圖 2.2 所示)

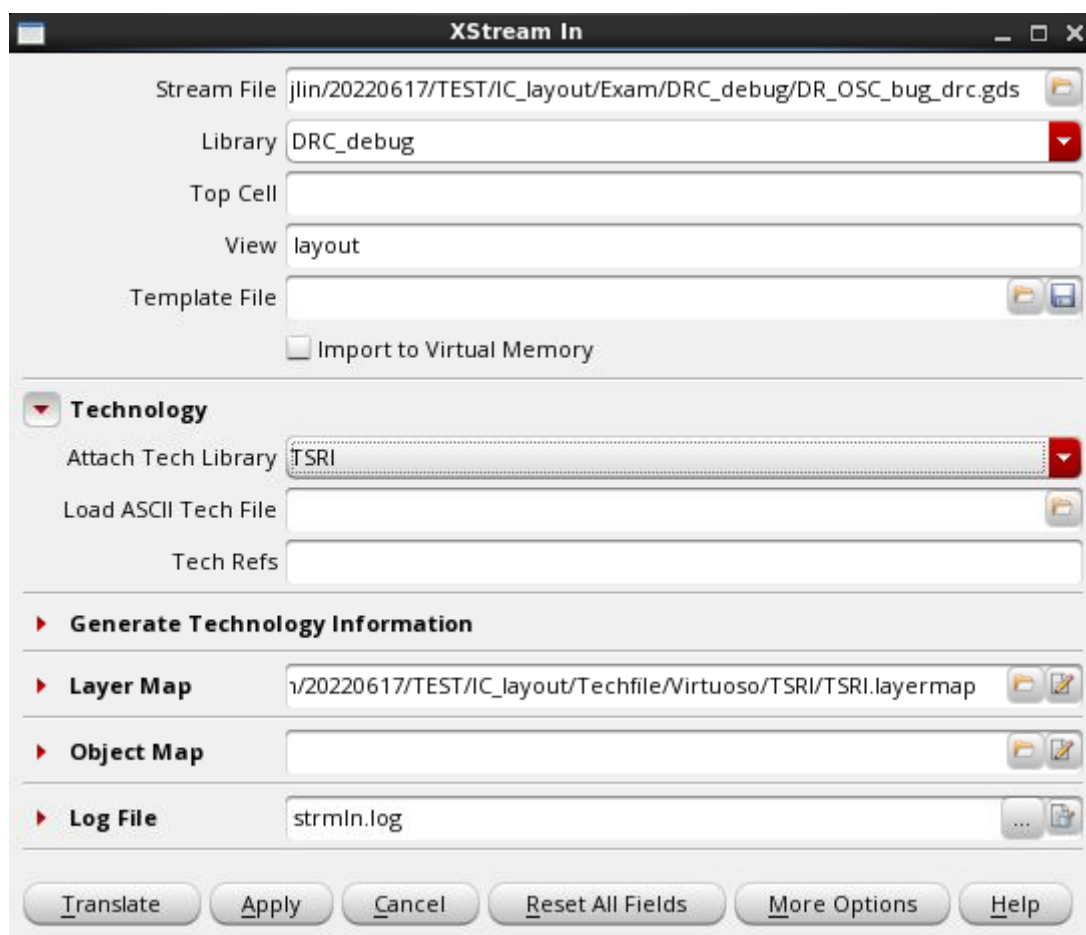


圖 2.2

匯入完成後，Virtuoso 會彈出訊息視窗(如圖 2.3 所示)，如看見圖示!!且無發生 error，表示成功匯入 GDS 檔案，也可查閱 strmIn.log 記錄檔，確認錯誤訊息。

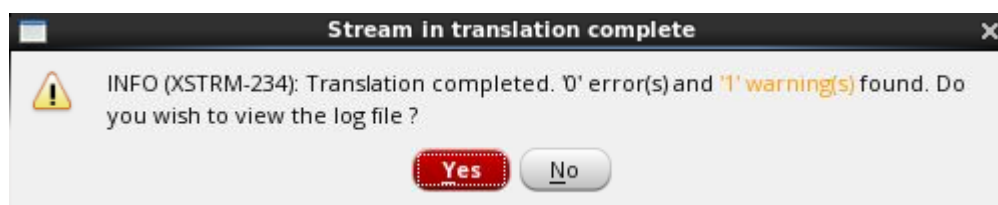


圖 2.3

回到 CIW 視窗，點選 Tools > Library Manger 可打開 Library Manger 視窗(如圖 2.4 所示)，接著可看到剛剛匯入的 Library: DRC_debug，開啟 Cell: DR_OSC，View: layout，即可看見佈局(如圖 2.5 所示)。

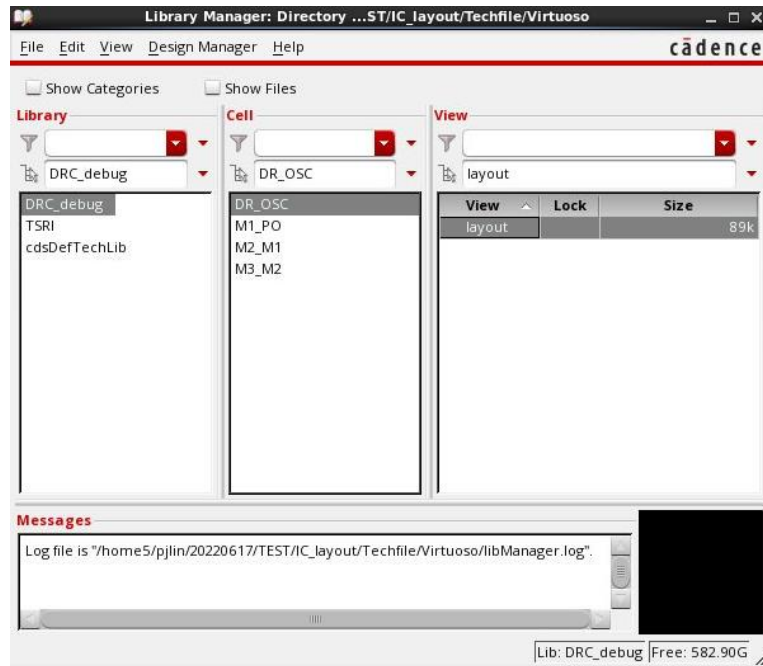


圖 2.4

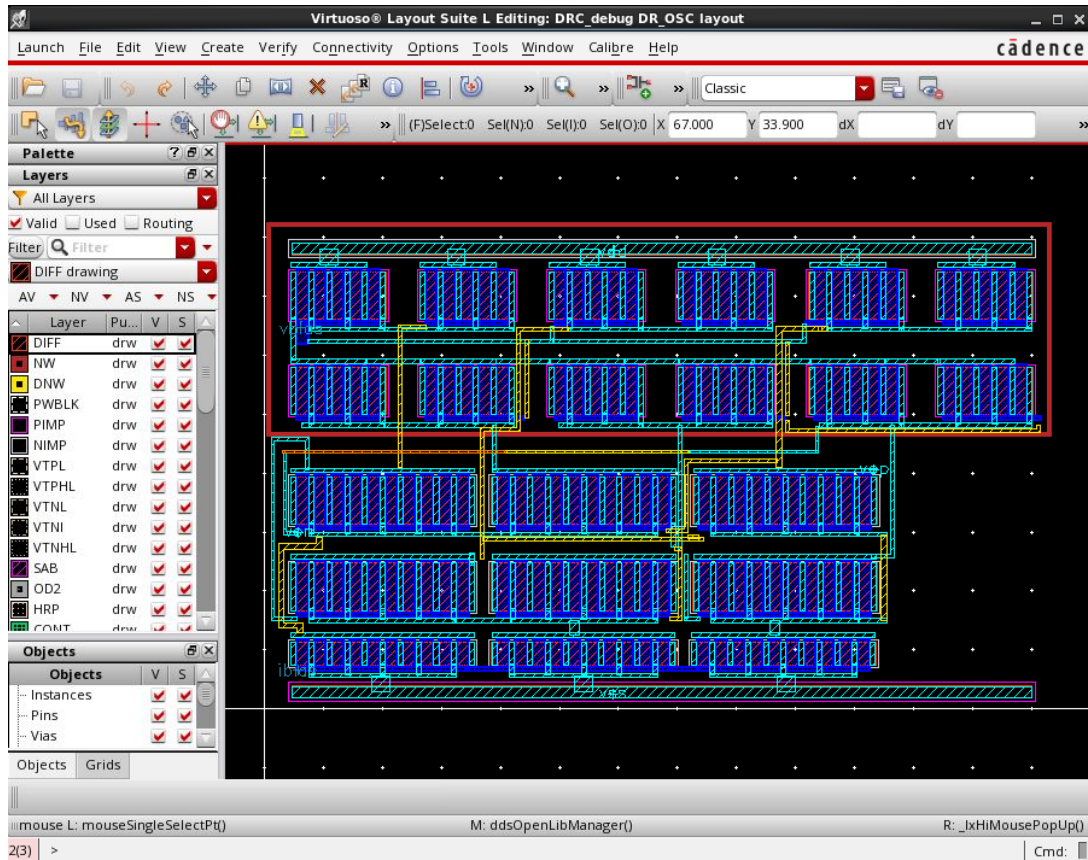


圖 2.5

(2)使用 Laker:

首先開啟 Laker 佈局軟體(可在 Terminal 視窗，執行指令 `laker &`)，並在 Laker 主視窗，點選 `File > Import > Stream...` (如圖 2.6 所示)

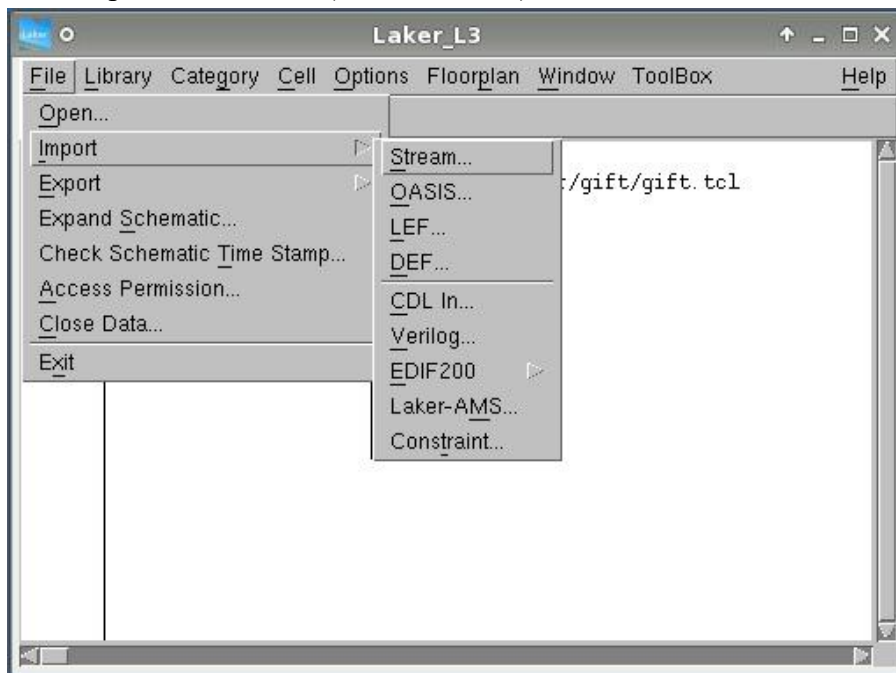




圖 2.6

出現 Import Stream 視窗，在 “Input File Name” 點選 ，帶入想要匯入的 GDS 檔案(如 `DR_OSC_bug_drc.gds`)。接著填寫 “Library Name”(如 `DRC_debug`)，接著，在 “ASCII File”，點選 ，帶入 technology file (如 `laker.tf`)。最後，點選 OK 即可。(如圖 2.7 所示)

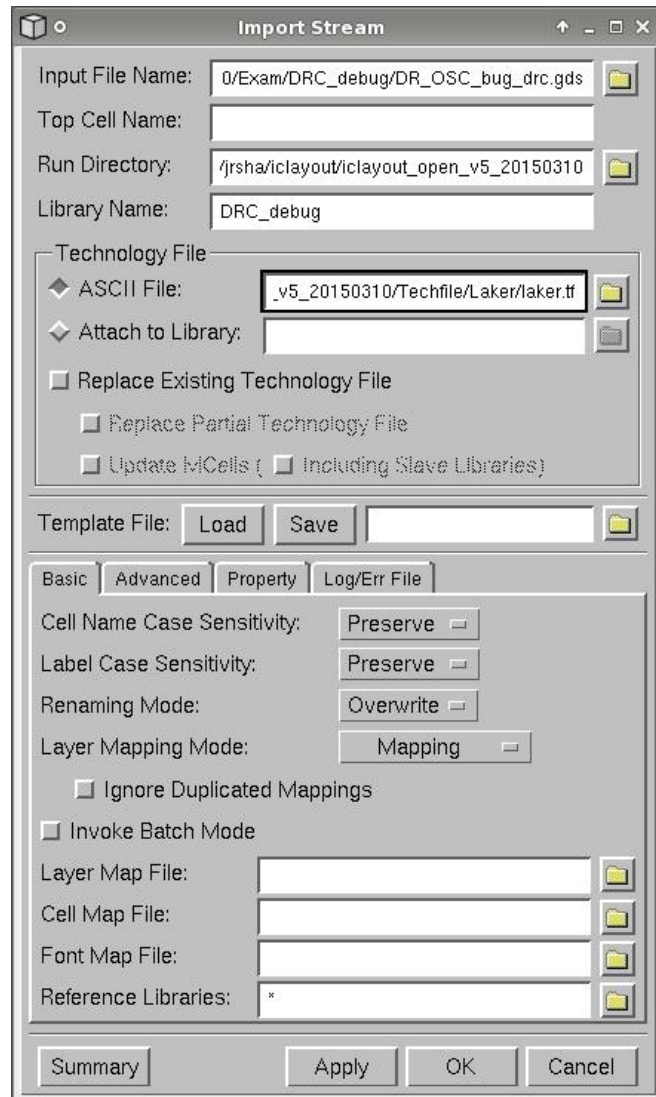


圖 2.7

匯入完成後，可在 Laker 主視窗看見訊息，表示成功匯入 GDS 檔案。(如圖 2.8)

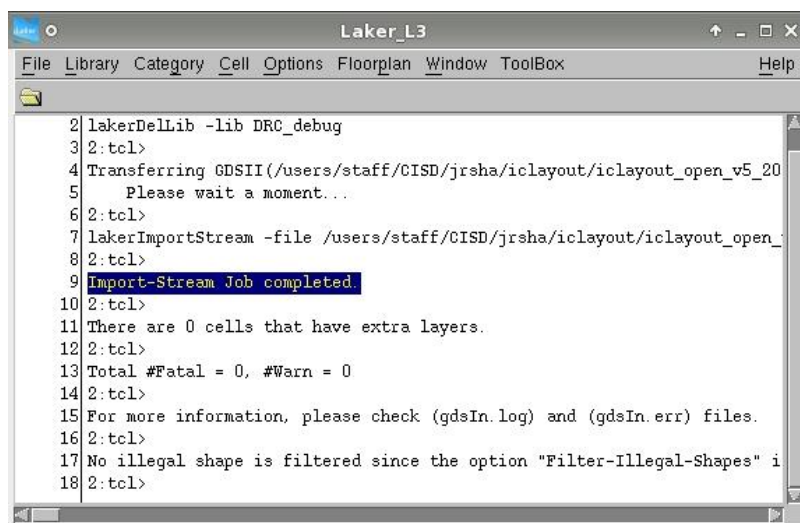


圖 2.8

回到 Laker 主視窗，點選 File > Open 可打開 Open Cell 視窗(如圖 2.9 所示)，接著可看到剛剛匯入的 Library: DRC_debug，開啟 Cell: DR_OSC, View: layout，即可看見佈局(如圖 2.10 所示)。

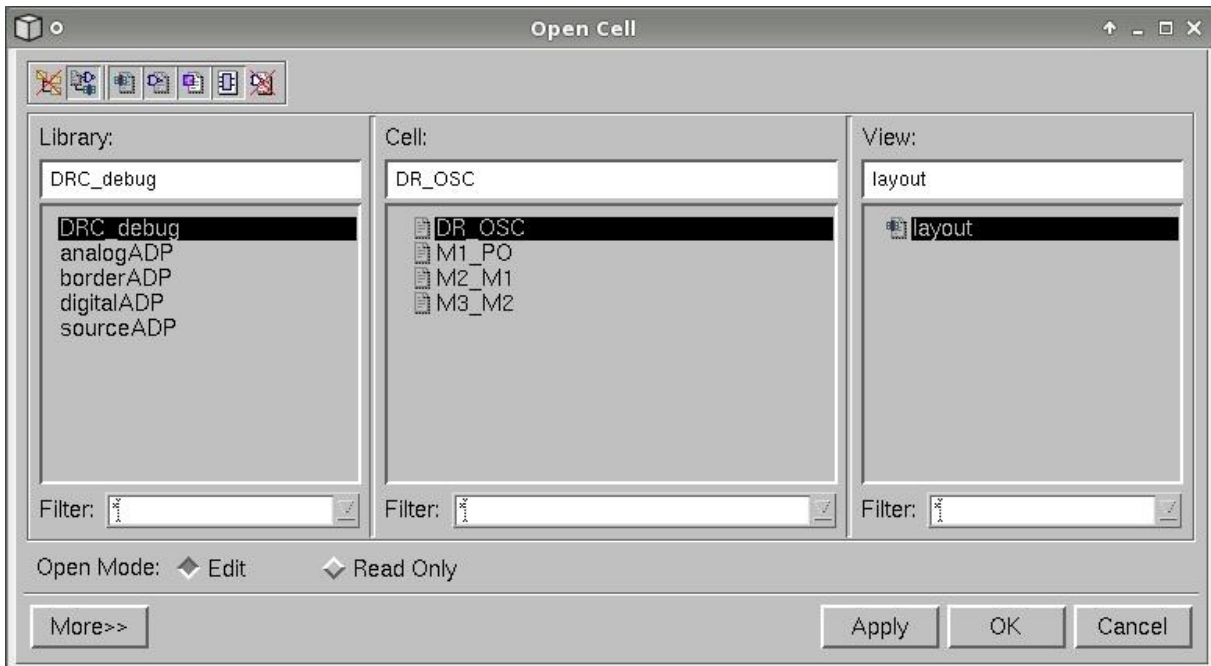


圖 2.9

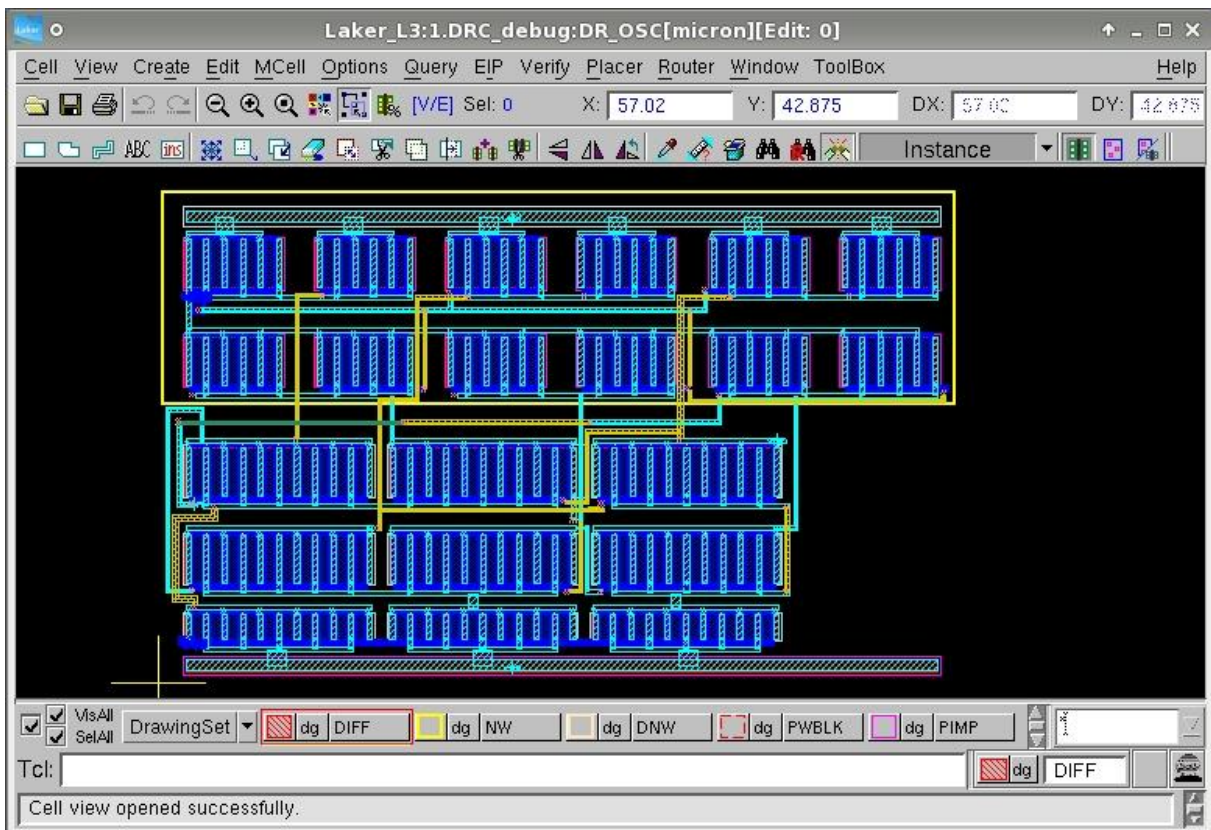


圖 2.10

問題 3：為何使用 Virtuoso 佈局軟體，無提供 Technology File，怎麼建立

Library，或發生沒有佈局的圖層顏色與圖案？

答：使用 Virtuoso 佈局軟體，請於/Techfile/Virtuoso 資料夾下，執行指令啟動，建立 Library 時，可使用 Attach Library 方式建立，指定到 TSRI Library(如圖 3.1)，以避免發生 Layer 顏色(color)與圖案(pattern)無定義狀態(如圖 3.2)。匯入與匯出佈局時，Layer Map 也會與 TSRI Library 共同，減少發生問題。

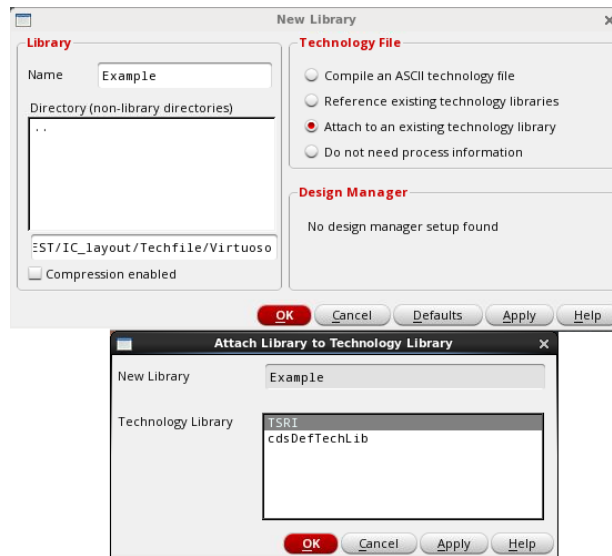


圖 3.1

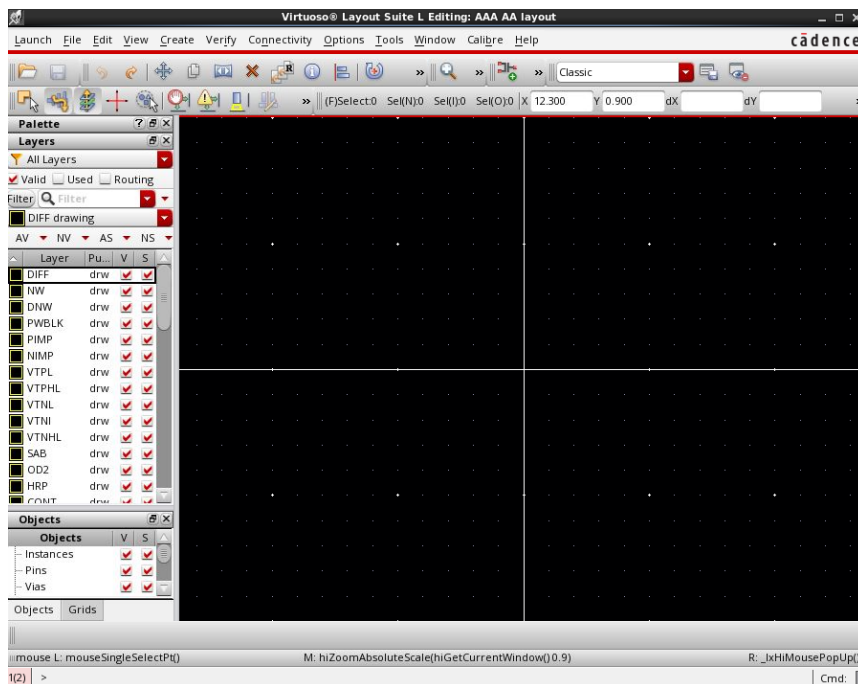


圖 3.2

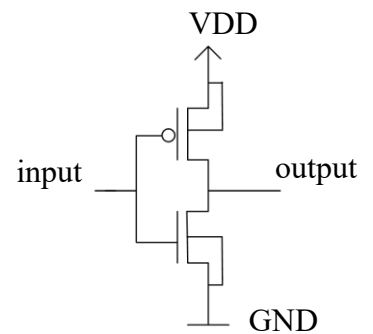
學科筆試：

選擇題：請在左列填入正確的選項。

- 1 (4) 1. 當 IC 佈局設計規範(Layout Rules)要求“M2.W.1 Minimum METAL2 width \geq 0.45um”，這傳遞了下列哪項訊息？
- (1) 金屬層 2 的最小寬度必須 \geq 0.45 um
 - (2) 金屬層 2 的最大寬度必須 $<$ 0.45 um
 - (3) 金屬層 2 與金屬層 2 的最小間距必須 \geq 0.45 um
 - (4) 金屬層 2 與金屬層 1 的最小間距必須 \geq 0.45 um
- (2) 2. 下列哪項驗證步驟的目的是檢查佈局和電路圖(schematic)之間的一致性？
- (1) DRC
 - (2) LVS
 - (3) ERC
 - (4) LPE(PEX)
- (4) 3. 下列哪項驗證步驟的目的在進行佈局寄生元件之萃取？
- (1) DRC
 - (2) LVS
 - (3) ERC
 - (4) LPE(PEX)
- (1) 4. 下列哪項驗證步驟的目的在於檢查佈局設計規則？
- (1) DRC
 - (2) LVS
 - (3) ERC
 - (4) LPE(PEX)
- (4) 5. 下列哪個佈局考量，可以改善類比電路的匹配特性？
- (1) 對稱性 (Symmetry)
 - (2) 元件擺放方向 (Orientation)
 - (3) 填補(Dummy)
 - (4) 以上皆是
- (2) 6. 在佈局中，要讓兩層金屬層相連接，需使用到下列哪一層的佈局？
- (1) contact
 - (2) via
 - (3) poly
 - (4) passivation
- (1) 7. 在 NMOS 通道的傳導電流最主要的載子是？
- (1) 電子
 - (2) 電洞

- (3) 離子
 (4) 原子
- (3) 8. 下列敘述，何者不是 CMOS VLSI 的優點？
 (1) Easy to design
 (2) Easy to shrink
 (3) High static power
 (4) High noise margin
- (3) 9. 一般 CMOS 0.35um 製程技術所允許之最小 Length 的長度尺寸為？
 (1) 0.18um
 (2) 0.25um
 (3) 0.35um
 (4) 0.5um

- (2) 10. 右圖所示，反向器的“輸入端”為 PMOS 電晶體的哪一端？
 (1) Drain
 (2) Gate
 (3) Source
 (4) Bulk



- (3) 11. NMOS 元件的 Drain 端是用哪種型式的摻雜來實現？
 (1) n-implant 和 p-implant
 (2) p-implant
 (3) n-implant
 (4) field-implant
- (1) 12. DRC 是用來檢查電路設計過程中的哪個部份？
 (1) Layout
 (2) Schematic
 (3) Extracted RC
 (4) Symbol View
- (2) 13. 一個雙輸入的 CMOS 基本邏輯閘電路：NAND，會包含以下哪項？
 (1) 一個 PMOS 電晶體和一個 NMOS 電晶體
 (2) 兩個 PMOS 電晶體和兩個 NMOS 電晶體
 (3) 四個 PMOS 電晶體
 (4) 四個 NMOS 電晶體
- (2) 14. 在傳統靜態 CMOS 邏輯電路之正向邏輯設計，使用 PMOS 電晶體來傳送哪個邏輯訊號？
 (1) 0
 (2) 1
 (3) 以上皆非
 (4) 0 and 1

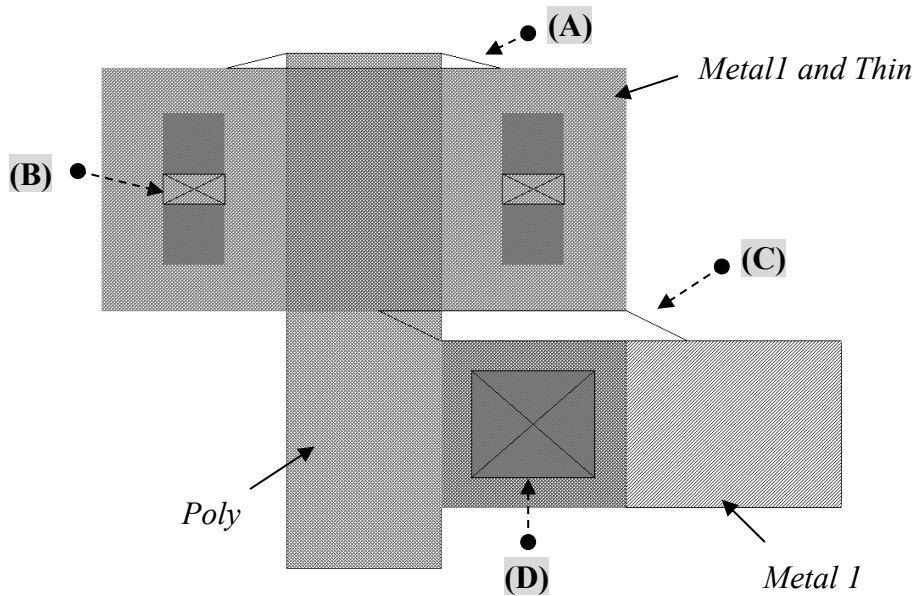
- (3) 15. “TSMC 0.35 μ m Mixed-Signal 2P4M Polycide 3.3/5V”製程無法提供？
- (1) 4 層金屬
 - (2) PIP 電容
 - (3) 4 層 Poly
 - (4) MOS 元件
- (2) 16.兩個輸入的傳統靜態 CMOS NAND 閘需要幾個 MOS 電晶體？
- (1) 2
 - (2) 4
 - (3) 6
 - (4) 8
- (1) 17.執行 DRC 的步驟後，下列哪種錯誤不會被發現？
- (1) MOS 尺寸不一致
 - (2) Layer distance 太靠近
 - (3) N-WELL 面積太小
 - (4) 以上皆是
- (4) 18.“Linear I/O”或“Staggered I/O”將包含？
- (1) Input pad
 - (2) Output Pad
 - (3) Power Pad
 - (4) 以上皆包含
- (4) 19.下列哪一個作業系統可以安裝 EDA 工具？
- (1) Solaris
 - (2) Linux
 - (3) HP Unix
 - (4) 以上皆可
- (3) 20.哪一種 EDA 工具是用於佈局的驗證？
- (1) Virtuoso
 - (2) Time-Mill
 - (3) Calibre
 - (4) Debussy
- (1) 21.在元件基底佈局加上 Guard-Ring 並接到乾淨電源，此技巧可用來達成下列何種目的？
- (1) 可吸收基底雜訊
 - (2) 符合設計準則
 - (3) 減少佈局面積
 - (4) 增加增益

- (3) 22. IC 佈局設計規範(Layout Rules)描述中，“Minimum clearance”此設計規則，是用來說明下列何者？
- (1) VDD 與 GND 的 power bus 的距離
 - (2) 兩個 POLY 層(Layers)的間距
 - (3) 兩個不同層(Layer)之間的空隙
 - (4) 兩個不同層(Layer)之間的圍欄
- (3) 23.當電路設計者強調要特別注意“Symmetry”的規則，在佈局裡面要特別考量什麼？
- (1) 避免交互影響的雜訊
 - (2) 產生同步訊號
 - (3) 預防元件不匹配
 - (4) 降低 IR 損耗
- (2) 24.元件佈局中，OD 層通常被用來定義下列何者？
- (1) the Well region
 - (2) the active region
 - (3) the contact region
 - (4) the pad region
- (2) 25.下列哪個對於 wafer 和 die(dice)的敘述是正確的？
- (1) 可能有千個 wafer 在一個 die 裡
 - (2) 可能有千個 die 在一個 wafer 裡
 - (3) 一個 die 裡僅有一個 wafer
 - (4) Wafers 和 dice 並沒有任何關係
- (4) 26.當收到一個設計好的電路時，應做哪些動作？
- (1) 確定製程選擇版本並取得最新版別之正確的設計準則(design rule)
 - (2) 再檢查一次這個電路資料的完整性並與電路設計者討論
 - (3) 製作完整的一個工作計畫
 - (4) 以上皆正確
- (3) 27.LPE(PEX)在一個驗證工具裏代表的意思為何？
- (1) 電路模擬
 - (2) 電路圖的轉換
 - (3) 佈局參數的萃取
 - (4) 後端模擬
- (4) 28.一個使用 N-well 的佈局有個電阻，此電阻參數為 $1.2\text{k}\Omega/\text{square}$ ，寬度為 $3\mu\text{m}$ ，長度為 $12\mu\text{m}$ ，請計算電阻值。
- (1) 300Ω
 - (2) 480Ω
 - (3) $3\text{k}\Omega$

- (4) 4.8k Ω
- (3) 29. 下列哪個佈局驗證流程的順序是對的？
- (1) LPE \rightarrow LVS \rightarrow DRC
 - (2) DRC \rightarrow LPE \rightarrow LVS
 - (3) DRC \rightarrow LVS \rightarrow LPE
 - (4) LVS \rightarrow LPE \rightarrow DRC
- (4) 30. 何種情況需加上 Guard Ring 來保護元件？
- (1) 此電路有 low noise 的考慮
 - (2) 此電路有 Latch-Up 的考慮
 - (3) 此電路有 ESD 的考慮
 - (4) 以上皆是
- (2) 31. Dummy 電阻需加在主要電阻的哪一邊？
- (1) left side
 - (2) resistor's length side
 - (3) right side
 - (4) short edge side
- (2) 32. 有個 Spice netlist 敘述：mp1 y2 fcg err pp hp l=0.3 w=0.3 m=2，hp 是表示什麼？
- (1) gate
 - (2) model name
 - (3) substrate
 - (4) drain
- (4) 33. 有個 Spice netlist 敘述：mp1 y2 fcg err pp hp l=0.3 w=0.3 m=2，fcg 是表示什麼？
- (1) drain
 - (2) substrate
 - (3) source
 - (4) gate
- (1) 34. 已知 Metal layout rule：min width=0.2 μm , min space=0.12 μm 。對兩個相鄰寬度均為 1.2 μm 的 Metal line 來說，Metal pitch value 是多少？
- (1) 1.32 μm
 - (2) 1.2 μm
 - (3) 0.32 μm
 - (4) 1.52 μm
- (4) 35. 在 Spice 的 netlist 檔中的"Q"的意思是什麼？
- (1) CAP
 - (2) Diode
 - (3) JFET
 - (4) BJT

- (3) 36. 要利用 6 個並聯的 NMOS 電晶體($L=0.18\mu\text{m}$ $W=1\mu\text{m}$)來設計一個較大尺寸的 NMOS 電晶體，該如何描述？
- (1) MN1 D G S B N_18 L=0.18e-6 W=3e-6 M=2
 - (2) MN1 D G S B N_18 L=0.18e-6 W=2e-6 M=3
 - (3) MN1 D G S B N_18 L=0.18e-6 W=1e-6 M=6
 - (4) MN1 D G S B N_18 L=0.18e-6 W=6e-6 M=1
- (3) 37. 晶片實體製作時，MOS 電晶體的擺置在水平、垂直或是方向 45 度時會有不同的特性，在類比電路需特性匹配設計裡，兩電晶體擺置方向要求？
- (1) 需水平方向
 - (2) 需 45 度方向
 - (3) 一樣的方向
 - (4) 一個需水平方向，一個需垂直方向
- (1) 38. 如何在 IC 佈局階段時，降低雜訊的干擾？
- (1) 做一個防護環(Guard Ring)抑制佈局的雜訊源區域
 - (2) 減少連接線路徑寬度
 - (3) 增加連接線路徑寬度
 - (4) 擴大信號線到信號線之距離
- (4) 39. 下列 IC 佈局之“Floorplan” 相關敘述，何者正確？
- (1) 可用以預估佈局面積
 - (2) 可用以預估佈局所需時間表
 - (3) 包含 cell 的佈置與選擇工作
 - (4) 以上皆是
- (2) 40. 在 IC 佈局中，繪製電源供應路徑所需寬度時的考量，何者正確？
- (1) 不需在意路徑寬度尺寸
 - (2) 由 IC 接腳端平滑地從尺寸大減少到中，進而再變小
 - (3) 不同層路徑使用不同的尺寸
 - (4) 尺寸從由 IC 接腳端從小到大依序變化

下圖為 DRC 錯誤的 drawn 佈局，請依照雙引號“”所顯示之佈局的設計規則訊息，找出符合該訊息之(A)、(B)、(C)、或(D)。



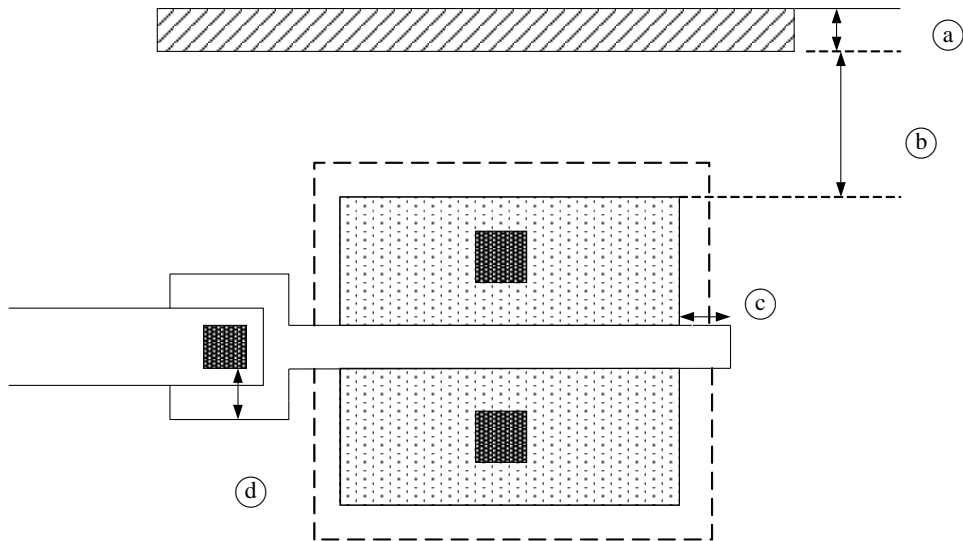
(3) 41. “M1.S.1, Metal 1 間距必須大於 0.25 um”

- (1) A
- (2) B
- (3) C
- (4) D

(4) 42. “CO.W.1, CONTACT 必須是 0.4um * 0.4um”

- (1) A
- (2) B
- (3) C
- (4) D

下圖是一個簡易的 IC 佈局，且擁有 4 個長寬高的限制：①、②、③、④



(3) 43. 哪一個是 ② 所代表的意義？

- (1) 最小寬度
- (2) 最小外圍
- (3) 最小間隔
- (4) 最小的延伸部分

(1) 44. 標準 CMOS 製程中，可繪製的垂直型 BJT(PNP) 電晶體，射極(Emitter)由什麼圖形層繪製？

- (1) p⁺-imp
- (2) n⁺-imp
- (3) n-well
- (4) 以上皆非

(2) 45. Field Oxide 的區域，指的是晶片佈局的哪區域？

- (1) 有繪製 Diff/thin oxide 的區域
- (2) 沒有繪製 Diff/thin oxide 的區域
- (3) 有繪製 PAD 的區域
- (4) 沒有繪製 PAD 的區域

(4) 46. 參考 IC 佈局設計規範(Layout Rules)手冊，MOSFET 的汲極(Drain)與源極(Source)在結構上的區別為何？

- (1) 電源與連接 N/P-Well 連接點的距離
- (2) 需額外的一層 Layer 繪製

- (3) Poly(閘極)的偏向
 - (4) 無結構上區別
- (2) 47. 以下何者為正確？
- (1) 金屬線越窄，越有承受大電流能力
 - (2) Well 層所繪製電阻值較 Poly 層所繪製電阻值高
 - (3) N-Well 恆接於電路之最高正電源
 - (4) 製程金屬層數增加，將降低佈局效率
- (1) 48. 在 IC 佈局中，單顆大尺寸電晶體如採用多手指(Multi-Finger)技巧繪製閘極，繪製時沒有以下何種效益？
- (1) 可縮小晶片佈局面積
 - (2) 可增進電晶體配對
 - (3) 可減少閘極電阻帶來的 Noise
 - (4) 以上皆非
- (4) 49. 哪一個 UNIX 的指令是用來壓縮與解壓縮檔案的？
- (1) ls
 - (2) cp
 - (3) mv
 - (4) gzip
- (4) 50. 下列對於 Unix 指令描述何者有誤？
- (1) chmod 用來更改檔案或目錄的存取權限
 - (2) which 用來查詢某一個執行檔位於 path 的那一個目錄下
 - (3) who 用來查詢目前進入系統的使用者的資訊
 - (4) cp 用來介紹 UNIX 系統各個命令的詳細用法

初階術科實作：

請參考術科練習題，內容包含兩題初階術科題目與解答，可下載後自行練習。

進階術科實作：

佈局題

A 題目說明：

以下為一個子電路，電路架構(Schematic)如下圖，請考生以 IC 佈局的形式實現(可不需考慮電流密度與 OD/POLY/Metal Density Rules)，並完成 DRC 和 LVS 驗證正確。

使用製程：TSRI 0.18um 1P6M Virtual Process

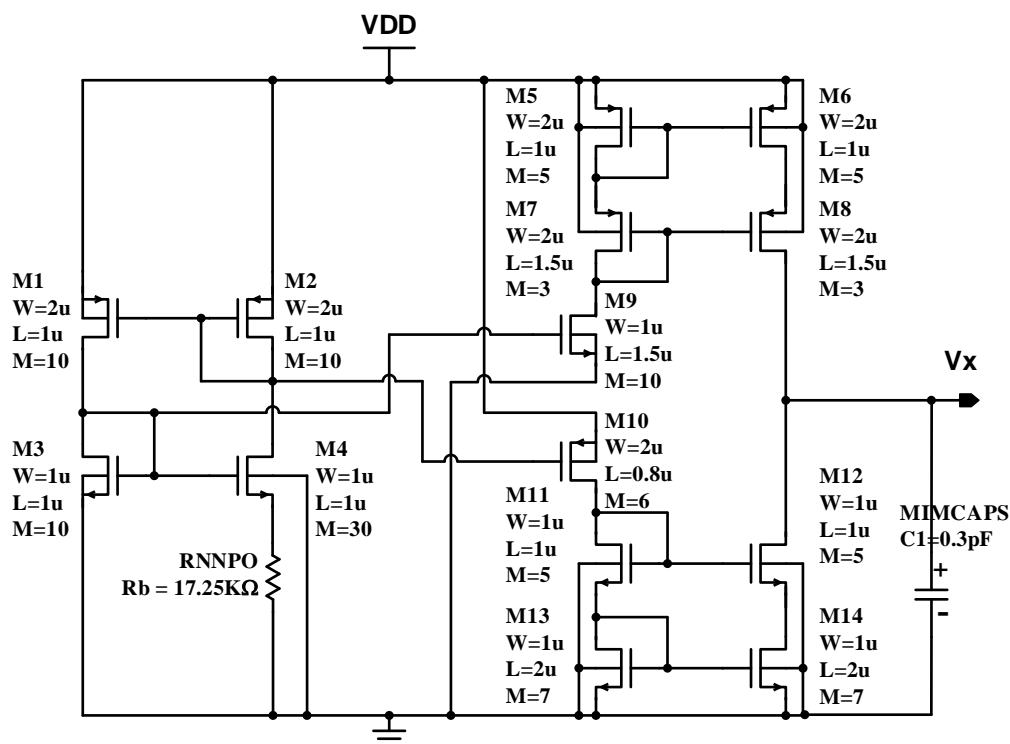
要求面積： $\leq 2500\mu\text{m}^2$

佈局長寬比： ≥ 0.7 (不得大於“1”) 詳見附註說明

Netlist File： [~/Exam/Layout_netlist/layout_example.src.net](#)

Top Cell Name: [layout_example](#)

電路架構(Schematic)圖如下：



提示：Mimcap Area Cap = $1\text{ fF}/\mu\text{m}^2$,

Mimcap Perimeter Cap = $0.075\text{ fF}/\mu\text{m}$

RNNPO 單位阻值： 115Ω

B 繳交檔案

注意：繳交檔案務必依照以下規定命名，並存放於“指定目錄”下，否則視為未依規定繳交檔案，不予評分與計分！

1. 佈局檔請命名為“layout.gds”，且必須存放於 ~/ANS/ANS_Layout 目錄下
2. DRC Summary Report 請命名“layout.sum”，且必須存放於 ~/ANS/ANS_Layout 目錄下
3. LVS Report 請命名“layout.lvs”，且必須存放於 ~/ANS/ANS_Layout 目錄下

C 計分方式

本題僅區分“合格”與“不合格”兩類，請在限定時間(270 分鐘)內完成下列四項條件即為合格，倘若其中有任何一項未達成，則最終成績為不合格。

1. 佈局面積： $\leq 2500\mu\text{m}^2$
2. 佈局長寬比： ≥ 0.7 (不得大於“1”) 詳見附註說明
3. DRC 驗證完成且完全正確無誤
4. LVS 驗證完成且完全正確無誤

LVS 驗證所需之 Netlist 檔案和 Top Cell Name 為

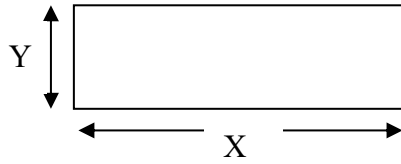
Netlist File：`~/Exam/Layout_netlist/layout_example.src.net`

Top Cell Name: `layout_example`

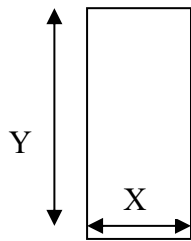
5. 達成 1~4 項條件，佈局時可增加二項加分佈局條件如下，一項 15 分，共 30 分。
 - 一、C1 電容 0.3pF，請拆解成 3 顆電容各 0.1pF 且並聯。
 - 二、Rb 電阻 17.25K，請拆解長 30um、寬 1um、5 根電阻串聯，電阻二側請放相同大小 Dummy 電阻並接地。

附註說明：

佈局寬長比的定義如圖所示：



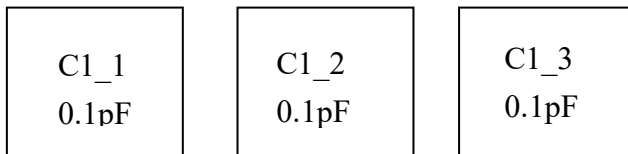
當 $X > Y$ ，則長為 X ，寬為 Y ，其寬長比 = Y/X



當 $X < Y$ ，則長為 Y ，寬為 X ，其寬長比 = X/Y

以上圖解的定義，寬長比必定為 ≤ 1 的數值，因此當佈局呈現一正方形時(即 X 邊長相似 Y 邊長)，寬長比值就可能近似於 1

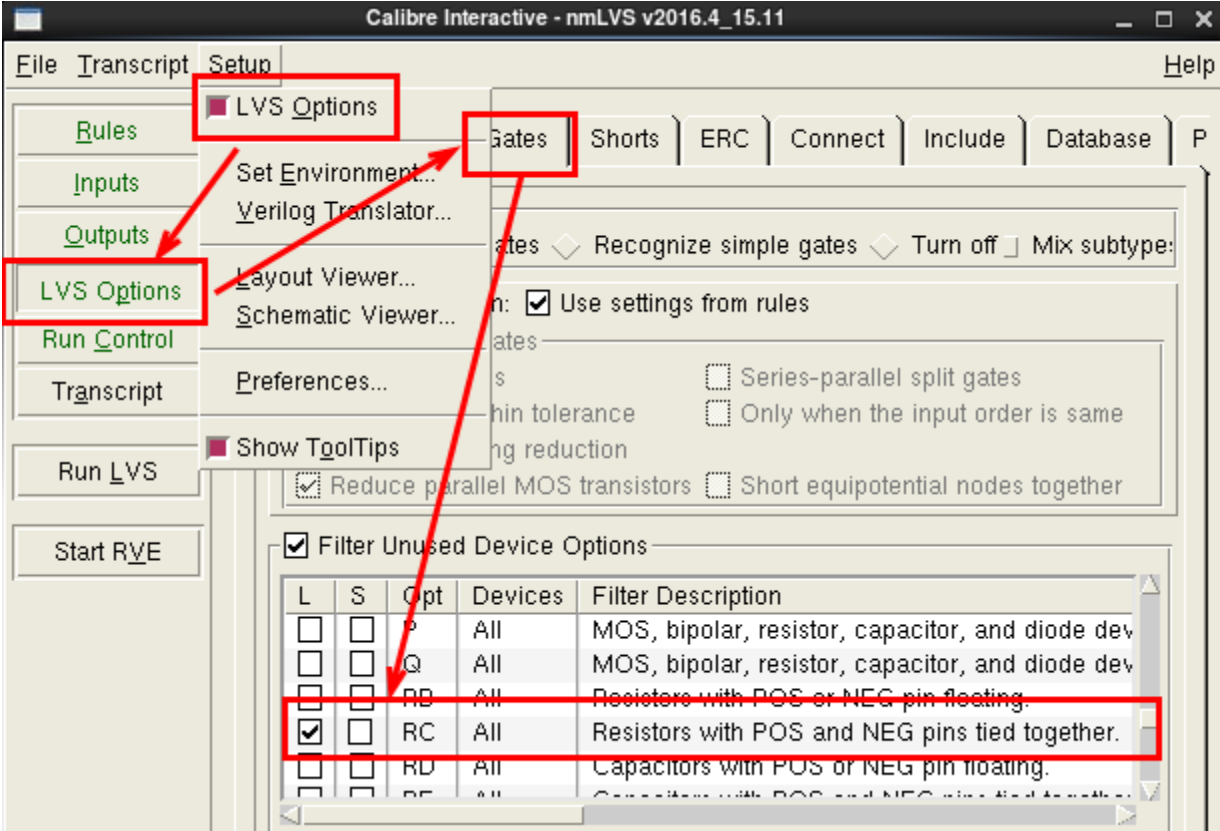
電容定義如圖所示：



電阻定義如圖所示：



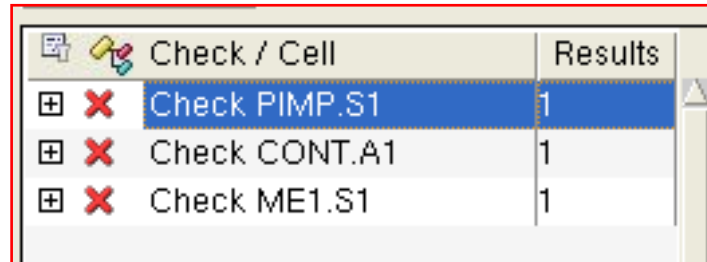
LVS 設定上，請將 Calibre LVS 圖示，點選 Setup → LVS Options ，於左列出現 LVS Options，其選項 Gates 下的 Filter Undsed Device Options，將 RC 選項 L 勾選，其電阻二端共接時，會排除該元件。



DRC 除錯題

A 題目說明：

在進行佈局 DRC 驗證時，發現佈局有 DRC 錯誤，其錯誤如圖一所示。



Check / Cell	Results
✘ Check PIMP.S1	1
✘ Check CONT.A1	1
✘ Check ME1.S1	1

圖一、DRC 錯誤

請修正圖一所示之全部 DRC 錯誤，佈局修正時不需考慮電流密度。最終繳交之修正後佈局檔(**PWM_drc_ok.gds**)需完成 Calibre LVS 驗證無誤，方能依照「計分方式」計分。

B 計分方式：

依照表一配分方式，每解決一個 DRC 錯誤可得其配分，但最終繳交之修正後佈局檔(**PWM_drc_ok.gds**)必需完成 Calibre LVS 驗證無誤，如 LVS 驗證有錯誤，本題 0 分。

錯誤種類	錯誤數量(配分)
PIMP.S1	1 (5 分)
CONT.A1	1 (5 分)
ME1.S1	1 (5 分)

表一、DRC 除錯配分表

本題目以解決 DRC 錯誤為主，如因解決題目而額外產生其他 DRC 錯誤，將按照額外產生的 DRC 錯誤數量進行扣分(每多一個額外錯誤扣 1 分)，扣至本題 0 分為止。

C 建議步驟：

1. 請將已知有 DRC 錯誤之佈局檔: **~/Exam/DRC_debug/PWM_bug_drc.gds** 匯入(Stream In)佈局編輯軟體(如 Virtuoso, Laker)，並請先進行 Calibre DRC 驗證，以確認 DRC 錯誤種類與數量是否與圖一相符。

2. 根據 DRC 錯誤說明找出佈局違反 Design Rule 的位置，並進行錯誤修正。佈局修正時不需考慮電流密度。
3. 進行錯誤修正時，如有需要，可參考圖二電路圖(Schematic)，以利確認佈局的子電路、元件、尺寸與節點等相關資訊。
4. 完成錯誤修正後，必須再進行 DRC 和 LVS 驗證，需同時確保 Calibre DRC 和 Calibre LVS 驗證無誤。

使用製程：TSRI 0.18 1P6M Virtual Process

已知有 DRC 錯誤的佈局檔(GDS File)：

~/Exam/DRC_debug/PWM_bug_drc.gds

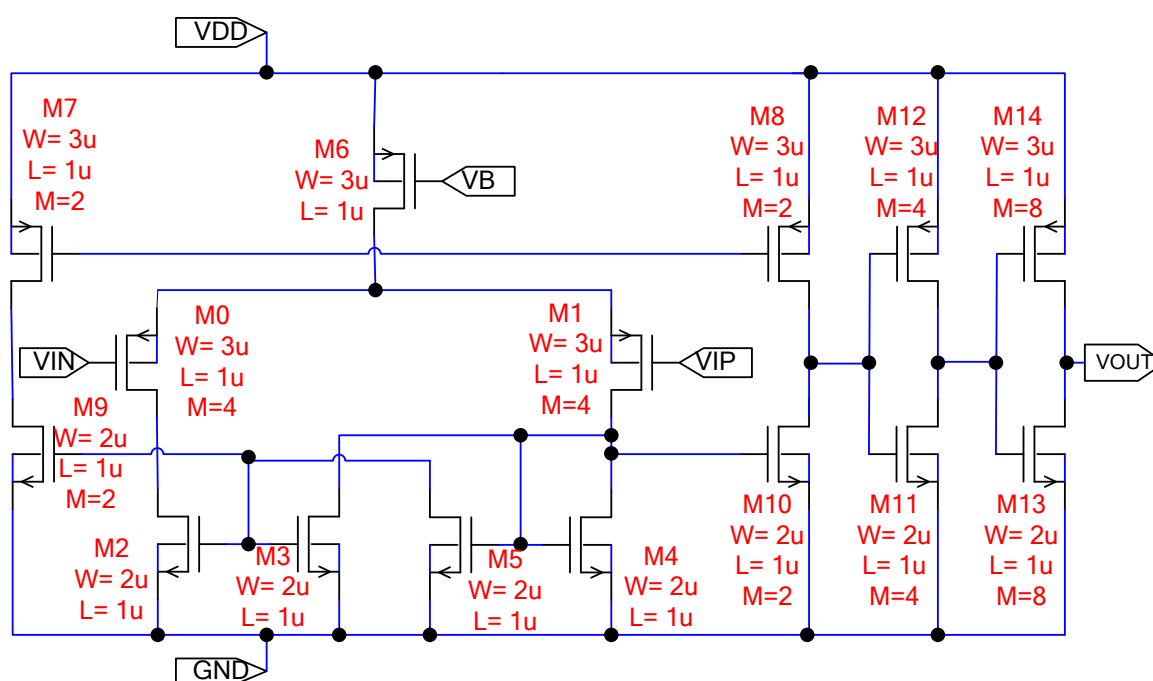
[Top Cell Name: **PWM**]

可驗證 LVS 之 Netlist File：

~/Exam/DRC_debug /PWM.src.net

[Top Cell Name: **PWM**]

電路圖(Schematic)如下圖二：



圖二、電路圖(PWM Schematic)

D 繳交檔案：

注意：繳交檔案務必依照以下規定命名，並存放於“指定目錄”下，否則視為未依規定繳交檔案，不予評分與計分！

請將 DRC 錯誤修正後之佈局匯出(Stream Out)，並儲存至:

~/ANS/ANS_DRC_debug/PWM_drc_ok.gds

以利評分

LVS 除錯題

A 題目說明：

在進行佈局 LVS 驗證時，發現佈局有 LVS 錯誤，其錯誤如圖一所示。

Layout Cell / Type	Source Cell	Count	Nets	Instances	Ports
✖ Comparator	Comparator	9	11L, 13S (-2)	12L, 15S (-3)	5L, 5S
✖ Discrepancies		9			
✖ Incorrect Nets		3			
✖ Discrepancy #1				4L, 3S (+1)	
✖ Discrepancy #2				0L, 4S (-4)	
✖ Discrepancy #3				0L, 3S (-3)	
✖ Incorrect Instances		5			
✖ Discrepancy #4					
✖ Discrepancy #5					
✖ Discrepancy #6					
✖ Discrepancy #7					
✖ Discrepancy #8					
✖ Property Errors		1			
✖ Discrepancy #9					
Detailed Instance Info					

圖一 LVS 錯誤

請修正圖一所示之全部 LVS 錯誤，佈局修正時不需考慮電流密度。

B 計分方式：

完成本題全部 LVS 錯誤修正，並且同時通過 Calibre DRC 和 LVS 驗證，正確無誤後，可得滿分 15 分。

本題以解決 LVS 錯誤為主，如因解決題目而額外產生任何 LVS 或 DRC 錯誤，則本題 0 分計算。

C 建議步驟：

1. 請將已知有 LVS 錯誤之佈局檔: **~/Exam/LVS_debug/Comparator_bug_lvs.gds** 匯入(Stream In)佈局編輯軟體(如 Virtuoso, Laker)，並請先進行 Calibre LVS 驗證，以確認 LVS 錯誤種類與數量是否與圖一相符。
2. 根據 LVS 錯誤說明找出佈局與電路不一致處，並進行修正。佈局修正時不需考慮電流密度。
3. 進行錯誤修正時，如有需要，可參考圖二電路圖(Schematic)，以利確認佈局的子電路、元件、尺寸與節點等相關資訊。
4. 完成錯誤修正後，必須再進行 LVS 和 DRC 驗證，需同時確保 Calibre DRC 和

Calibre LVS 驗證無誤。

使用製程：TSRI 0.18 1P6M Virtual Process

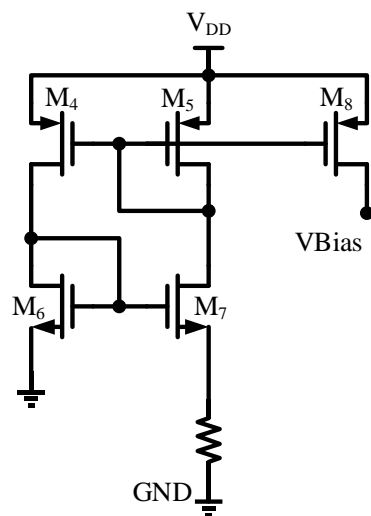
已知有 LVS 錯誤的佈局檔(GDS File)：

[~/Exam/LVS_debug/Comparator_bug_lvs.gds](#) [Top Cell Name: **Comparator**]

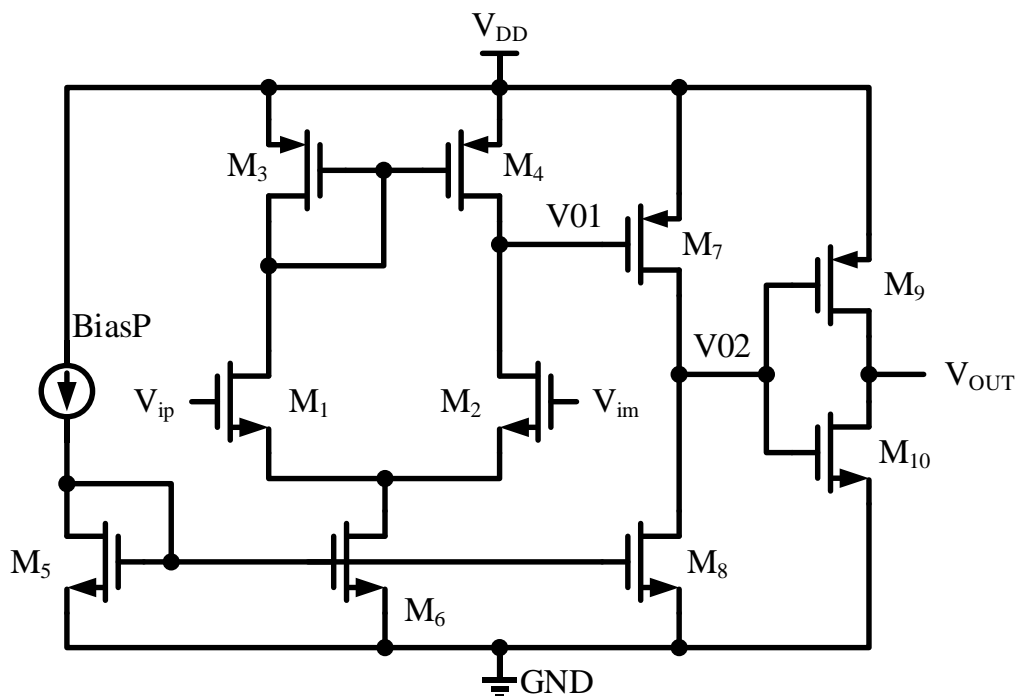
可驗證 LVS 之 Netlist File：

[~/Exam/LVS_debug/Comparator.src.net](#) [Top Cell Name: **Comparator**]

電路圖(Schematic)如下圖二~圖三所示：



圖二 電路圖(BiasP Schematic)



圖三 電路圖(Comparator Schematic)

D 繳交檔案：

注意：繳交檔案務必依照以下規定命名，並存放於指定目錄下，否則視為未依規定繳交檔案，不予評分與計分！

請將 LVS 錯誤修正後之佈局匯出(Stream Out)，並儲存至：
~/ANS/ANS_LVS_debug/Comparator_lvs_ok.gds
以利評分

--- 以下空白 ---