



經濟部產發署-半導體國際連結創新賦能計畫

半導體佈局設計工程師能力鑑定考試

# 簡章

指導單位： 經濟部產業發展署

委辦單位： 財團法人資訊工業策進會

執行單位： 國立陽明交通大學  
NATIONAL YANG MING CHIAO TUNG UNIVERSITY

協辦單位： 中國電機工程學會

## 重要日程表

項目	時程	說明
考試簡章公告	113/8/1 (四)	半導體佈局設計工程師能力鑑定網頁公告 <a href="https://www.icdesign.tw">https://www.icdesign.tw</a> 。
受理報名	113/8/5~8/30	1.一律採線上報名。 2.考生上網登錄之報名資料，如通訊地址、身份證字號、電話號碼及 E-mail 等應正確，否則無法通知而致延誤考試及其他重要事項，其責任由考生自行負責。
考場須知、考場地點公告	113/9/20 (五)	1.准考證請自行上網列印，不另行寄發。 2.考場須知、考場地點等考試相關資訊皆不郵寄紙本資料，請於指定時程內自行上網查詢/列印。 3.考場座位於考試當天公告於各試場門口。
考試日期 初階、進階同一天	113/9/28 (六)上午 學科考試 113/9/28 (六)下午 術科	1.學科筆試(以答案卡作答，請自行攜帶 2B 鉛筆及橡皮擦)、術科採實作。 2.考試當天請攜帶准考證與 1 張個人身分證明(如:身分證、駕照、有相片之健保卡)。
成績公佈	113/11/8(五)	可線上查詢成績。
成績複查申請、寄發 複查成績單	成績公布後 ~113/11/15	填寫成績複查申請單(附件一)。
證書寄發	113/11/15(五)	陸續寄出給各考生。

※主辦單位得視需要保留調整重要日程表之權利

## 聯絡方式：

鑑定考試網址：<https://www.icdesign.tw>電子郵件：[icdesign.nycu@gmail.com](mailto:icdesign.nycu@gmail.com)

聯絡電話：(03)571-2121 轉 54431

通訊地址：30010 新竹市大學路 1001 號

國立陽明交通大學 工程五館 721 室半導體佈局設計工程師能力鑑定工作小組



## 目錄

一、簡介 .....	1
二、能力鑑定報考資訊.....	2
三、報名辦法 .....	5
四、授證辦法 .....	6
五、成績公告及複查 .....	6
附件一、成績複查申請表.....	7

## 一、簡介

### 1.1 目的：

本計畫舉辦「半導體佈局設計工程師能力鑑定」，目的在於可評量各產官學研界提供之各半導體佈局設計課程，其學員的學習成效；更可進一步推廣半導體佈局設計，提升現有半導體佈局設計工程師之專業能力，提供產業界優秀人才，降低企業訓練成本。

### 1.2 特色與優勢：

- 1.產、官、學、研共同開發試題，獲得業界認證之半導體佈局設計能力鑑定證書
- 2.對半導體佈局設計相關人員而言，透過取得鑑定認證，除了可證明自己在半導體佈局設計上的專業知識與相關 EDA Tool 的熟悉能力外，更可增加自己未來於升學、求職、就業升遷的籌碼。

### 1.3 辦理單位：

指導單位：經濟部產業發展署  
委辦單位：財團法人資訊工業策進會  
執行單位：國立陽明交通大學  
協辦單位：中國電機工程學會

### 1.4 能力指標與合格之能力表現：

- 1.瞭解半導體佈局設計上的專業知識與熟悉使用相關 EDA Tool 的技巧，以具備獨立完成完整半導體佈局設計及驗證之基本能力為主要目的。
- 2.提供各類半導體佈局設計課程最終的學習成效評量。
- 3.提供升學、求職、就業升遷之專業能力依據。

## 二、能力鑑定報考資訊

### 2.1 報考資格：

1. 在學學生：大專以上在學學生。
2. 業界人士：欲取得半導體佈局設計專業能力認證，如參與各類半導體佈局設計相關培訓課程學員；已經或想要從事半導體佈局設計相關產業之工程師，如：IC 佈局工程師、IC 設計工程師。

### 2.2 名額及報名審核：

1. 預計名額：初階考試 30 名，進階考試 30 名，額滿後視實際情況加開其他場次；主辦單位保留停開場次之權利。
2. 非電子電機相關科系畢業建議參加初階認證考試，本科生及在職人士建議參加進階考試。
3. 初階認證及進階認證僅能擇一報名。
4. 報名程序：考生報名→寄發核可通知→完成報名程序→自行列印准考證。

### 2.3 考試日期、時間、科目、題型與考場：

日期	時間	科目	題型
113/9/28(六)	10:00~11:20 (80 分鐘)	學科筆試	選擇 50 題
	11:30~12:00 (30 分鐘)	術科實作環境熟悉	
	13:00~17:30 (270 分鐘)	術科實作	佈局題 1 題、除錯題 2 題
應試場地	台灣半導體研究中心訓練教室（新竹市科學園區展業一路 26 號 8 樓） 初階認證考試 A 教室、進階認證考試 B 教室，初階與進階考試同時進行		

備註：

1. 學科筆試以答案卡作答，請自行攜帶 2B 鉛筆及橡皮擦。
2. 修改答案必須用橡皮擦擦拭乾淨，不能使用修正液或修正帶塗改答案卡，若劃記不明或答案卡污損，導致電腦無法辨識答案，其責任由考生自行負責。
3. 未如期到場應考者，該項目成績以零分計算。
4. 國立陽明交通大學半導體佈局設計能力鑑定工作小組，將視報考人數保留合併考場或變更考場的權利。

## 2.4 參考書目與題庫

請逕上網站查詢與下載-<https://www.icdesign.tw>。

## 2.5 鑑定主題與鑑定內容

科目	鑑定主題	鑑定內容
學科 筆試	<p>題目共計 50 題選擇題，每題 2 分，答錯不倒扣。</p> <p>初階認證需達 70 分(含)以上為合格。</p> <p>進階認證須達 85 分(含)以上為合格。</p>	<p>1.VLSI Fundamental,</p> <p>2.Layout Skill,</p> <p>3.Verification,</p> <p>4.Unix/Linux Fundamental</p>
術科 實作	<p>分為佈局題 1 題與除錯題 2 題(包含 DRC, LVS 除錯各 1 題)</p> <ul style="list-style-type: none"> <li>•滿分 100 分。需達 70 分(含)以上為合格。</li> <li>•佈局題 70 分：通過者以 70 分計，不通過者以 0 分計。</li> <li>•除錯題 2 題，每題 15 分，總計 30 分。</li> <li>•初階認證與進階認證的考試題目不同。</li> </ul>	<p><b>佈局題：</b></p> <p>考生需在考試時間內全數完成以下 4 項條件即為通過；若有 1 項以上(或多項)未達成標準則為不通過。</p> <p>佈局題評分四項條件為：</p> <ol style="list-style-type: none"> <li>1.佈局面積：符合題目所要求之面積條件</li> <li>2.佈局長寬比：符合題目所規範之長寬比例條件。</li> <li>3.DRC 驗證完成且完全無誤。</li> <li>4.LVS 驗證完成且完全無誤。</li> </ol> <p><b>除錯題：</b></p> <p>考生需在考試時間內，按題目之描述將已知的佈局檔匯入，並將各題佈局檔的 DRC、LVS 錯誤找出進行修正，最後完成驗證，再分別匯出 DRC, LVS 正確無誤之佈局檔與相關驗證結果。</p> <p>除錯題以解決原始題目的 DRC、LVS 錯誤為主，若考生因解決題目錯誤而額外產生其他 DRC 或 LVS 錯誤，將按照額外產生的錯誤數量進行扣分(每多一個額外錯誤扣 1 分)，僅扣至該題 0 分為止。</p>

## 2.6 術科實作考試注意事項：

- 1.製程資料(TSRI Virtual 0.18um CMOS Technology)，不提供 PDK Library, P-cell, M-cell,等功能，所有元件(device)，包含電晶體、電阻、電容等均需自行繪製。
- 2.術科考試時，需自行於 Terminal 視窗以指令方式開啟佈局軟體。
- 3.術科佈局題考試時，考生最後須將佈局(Layout)匯出(Stream-out)成為 GDS 檔案。
- 4.術科除錯題考試時，考生需將考題之 GDS 檔案，匯入(Stream-in)佈局軟體內。
- 5.佈局題考試時，考題不僅限於繪製電晶體元件，可能包含製程資料(TSRI Virtual 0.18um CMOS Technology)所提供之電容、各類電阻等元件，請於考前自行練習相關元件佈局繪製方式。

## 2.7 術科實作題使用之 EDA Tool 列表如下：

製程資料 (Technology)	TSRI Virtual 0.18um CMOS Technology
佈局編輯軟體 (Layout Editor)	Cadence – Virtuoso (IC 6.1) Synopsys – Laker
DRC 驗證軟體 (DRC Verification)	Siemens – Calibre DRC
LVS 驗證軟體 (LVS Verification)	Siemens – Calibre LVS

### 三、報名辦法

**3.1 報名期間：**113/08/05~113/08/30。

**3.2 報名方式：**

- 1.一律採線上報名。
- 2.考生上網登錄之報名資料，如通訊地址、身份證字號、電話號碼及 E-mail 等應正確，否則無法通知而致延誤考試及其他重要事項，其責任由考生自行負責。

**3.3 報名費用：**

113 年度產發署智慧電子學院開設之半導體產業相關養成班、核心實務學程學員免費。

**3.4 報名注意事項：**

- 1.為確保資料的正確性及後續准考證、成績單及相關考試資訊之即時通知，請務必完整填寫個人 e-mail、電話、地址等通訊資料，以免漏失重要考試訊息。
- 2.如遇重大天然災害足以影響本次考試試務時，國立陽明交通大學半導體佈局設計能力鑑定工作小組，將依照人事行政局公布為準，於網站發布緊急應變措施，請考生出發前留意網站最新訊息。

**3.5 准考證及其他相關注意事項：**

- 1.准考證需於報名完成後自行上網列印。請考生屆時留意查閱 e-mail 通知。考試當天請攜帶准考證及個人身份證明有效證件正本應試(有效證件正本包括：國民身分證、有照片之健保卡、駕駛執照、護照或居留證等。)
- 2.報名確認通知、考試通知等考試相關資訊，將使用網站公告與 e-mail 方式通知考生，不另行郵寄紙本資料。
- 3.其他各項考試相關資訊將隨時在能力鑑定網站的最新消息公告，請考生自行上網參閱。網址：<https://www.icdesign.tw>。



## 四、授證辦法

### 4.1 發證單位：

由經濟部產業發展署委託中國電機工程師學會及智慧電子學院共同發證。

### 4.2 授證：

#### 1. 凡符合下列任一項者，可申請授證：

初階認證考試：筆試成績需達 70 分以上，術科(初階)實作成績需達 70 分以上，可取得初階授證資格。

進階認證考試：筆試成績需達 85 分以上，術科(進階)實作成績需達 70 分以上，可取得進階授證資格。

#### 2. 符合授證資格者，將隨成績單一併核發能力鑑定證書。

#### 3. 本年度鑑定能力證書加註說明如下：

初階術科成績	成績說明
70	合格。 具備基本完成全客戶(Full Custom)積體電路佈局能力。
85	佳。 具備基本完成全客戶(Full Custom)積體電路佈局與驗證能力。
100	優。 具備基本完成全客戶(Full Custom)積體電路佈局與除錯能力。

進階術科成績	成績說明
70	合格。 具備獨立完成全客戶(Full Custom)積體電路佈局與驗證能力。
85	佳。 熟練且可獨立完成全客戶(Full Custom)積體電路佈局與驗證， 並具備佈局驗證除錯能力與技巧。
100	優。 熟練且可獨立完成全客戶(Full Custom)積體電路佈局與驗證， 並熟練佈局驗證除錯能力與技巧。

### 4.3 補發證書費用：

證書補發 500 元。

#### 4.4 證書效期：

證書有效期限為 5 年。

## 五、成績公告及複查

### 5.1 成績公告：

1. 各科考試成績單將依簡章所列日程表公佈及開放查詢，不另行寄發成績單。
2. 考生於考試成績公佈後若有疑問，請於期限內(成績公布後~113/11/15)向主辦單位申請複查成績。
3. 成績複查申請方式，請考生填妥「成績複查申請表」(附件一)，於期限內 email 至 [icdesign.nycu@gmail.com](mailto:icdesign.nycu@gmail.com)，逾期不予受理。
4. 考生不得要求重閱、調閱或影印試卷，亦不得要求提供參考答案、試卷中各大題(含子題)之評分及其他有關考試資料。

附件一

成績複查申請表

申請考生	姓名		聯絡電話	
	准考證號碼		身份證字號	
Email				
通訊地址				
申請日期	年 月 日	考生簽章		
複查科目(請勾選)：		原始得分	複查得分	
<input type="checkbox"/> 學科筆試 <input type="checkbox"/> 術科(初階)實作 <input type="checkbox"/> 術科(進階)實作				
複查申請意見填寫				
注意事項	1.考生於考試成績公佈後若有疑問，請參考考試重要日程表，於期限內向主辦單位申請複查成績，請將申請表 email 至 <a href="mailto:icdesign.nycu@gmail.com.tw">icdesign.nycu@gmail.com.tw</a> 2.每次考試複查以一次為限。			

審查意見回覆：

--